

※係外持出厳禁(使用後は所定位置に戻して下さい)

パーソナルコンピューター

PX-V60

価格 ¥

●目次

| | | | |
|-------------------|----|-------------------------|----|
| 1. 仕様..... | 2 | 7. 総合結線図..... | 13 |
| 2. 各部の名称と使い方..... | 2 | 8. アナログ部のパターン図と回路図..... | 15 |
| 3. 各部のはずし方..... | 5 | 9. デジタル部のパターン図と回路図..... | 19 |
| 4. 部品配置..... | 7 | 10. 電気部品表..... | 25 |
| 5. 分解図と部品表..... | 9 | 11. デジタル部の回路概要..... | 28 |
| 6. 梱包図と部品表..... | 12 | | |

パイオニア株式会社

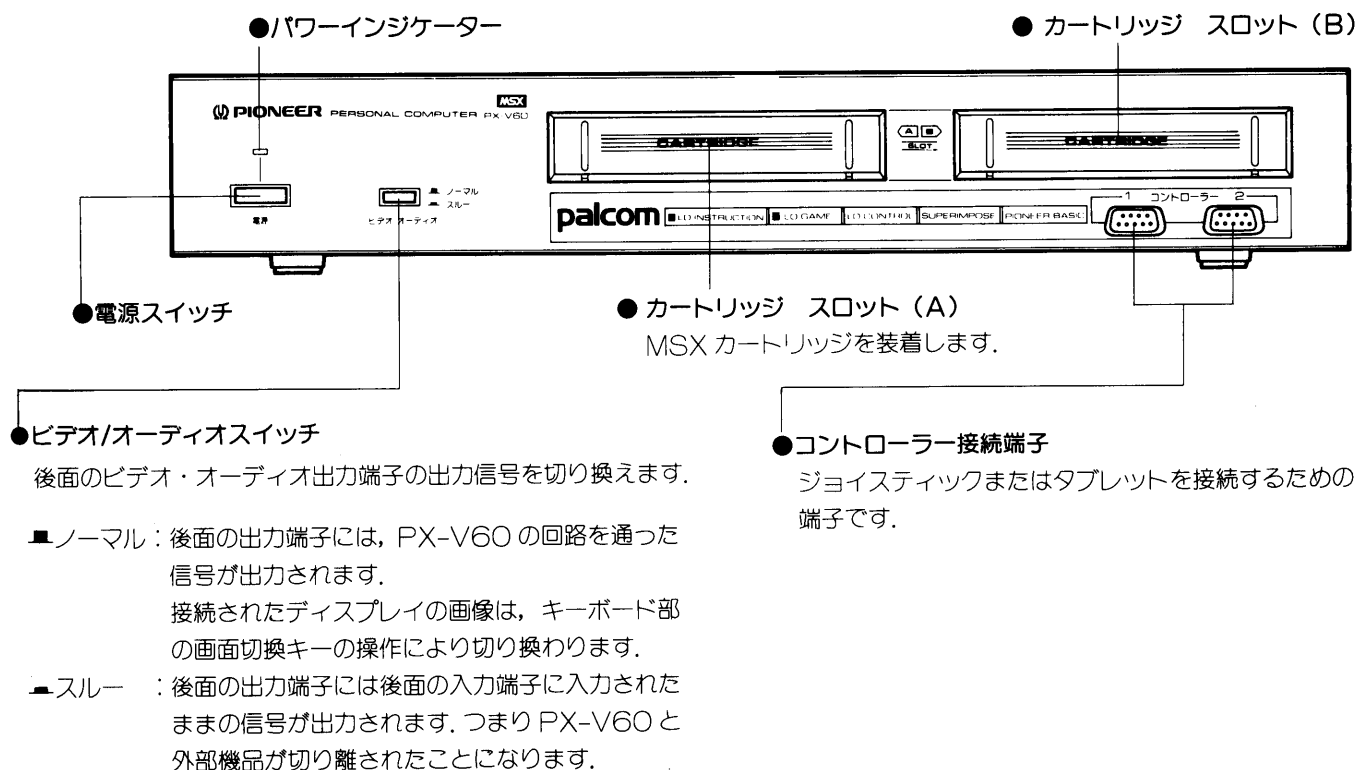
〒153 東京都目黒区目黒1丁目4番1号 FZ © 1986.5

1. 仕様

| | | |
|--------------------|--|---------------------------------------|
| CPU | Z80A 相当(3.58MHz) | |
| メモリ | RAM | 48KB (内16KBはV-RAM) |
| | ROM | 40KB MSX BASIC 32KB 拡張BASIC 8KB |
| 画像表示 | テキスト | 40字×24行, 32字×24行 |
| | グラフィック | 256(横)×192(縦)ドット |
| | カラー | 16色 |
| | スプライト | 256種類 |
| | 画像出力 | ビデオ出力, RF出力 |
| 画面制御 | 外部ビデオ信号とのスーパーインポーズ機能内蔵 コンピュータ画面, 合成画面, 外部ビデオ画面切替可能 | |
| キーボード | キー配列 | JIS 4モード標準配列に準拠 |
| サウンド出力 | 音源 | (1).8オクターブ3和音+1ノイズ (2).ステレオオーディオ入力 |
| | 出力 | ステレオオーディオ出力 |
| システムコントロール | A-V機器のコントロール機能内蔵 | |
| オーディオカセット(データレコーダ) | 1200/2400ボー FSK | |
| インターフェイス | インターフェイス内蔵 | |
| プリンターインターフェイス | セントロニクス準拠インターフェイス内蔵 | |
| コントローラーインターフェイス | コントローラ(ジョイスティック)インターフェイス2基内蔵 | |
| スロット | 2スロット | |
| 電源 | AC100V 50/60Hz 消費電力15W 予備電源コンセント 200W 1基 | |
| 動作周囲温度 | 5~35℃ | |
| 外形寸法 | 本体 420(幅)×300(奥行)×68(高)mm キーボード420(幅)×171(奥行)×47.5(高)mm | |
| 重量 | 本体 | 4.1kg |
| | キーボード | 1.1kg |

上記の仕様は改良のため予告なく変更することがあります。

2. 各部の名称と使い方



MEMO

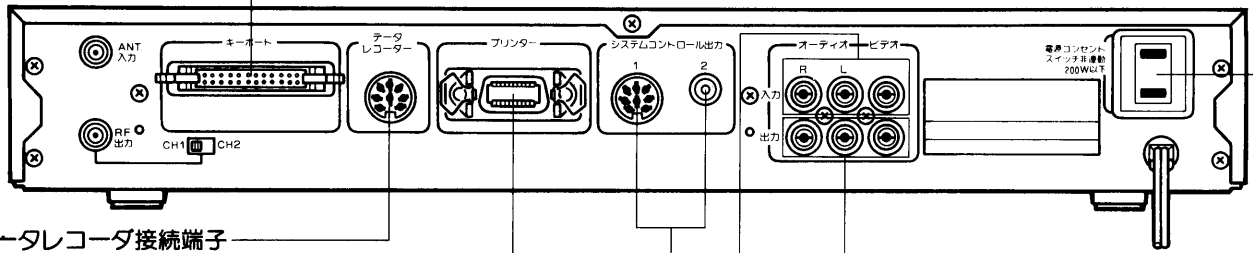
MEMO

●キーボード入力端子

キーボードを接続します。

●電源コンセント

消費電力が200Wまでの機器に利用できます。



●データレコーダ接続端子

データレコーダを接続します。

●プリンタ端子

プリンタ、プロッタなどを接続します。

●システムコントロール端子

出力1：PX-V60からのコントロール信号がでます。パイオニアのレーザービジョンプレーヤーをパソコンでコントロールする場合に利用します。プレーヤーのI/Oポートと付属のシステムコントロールコードでつなぎます。

出力2：PX-V60からのコントロール信号がでます。パイオニアコンポーネントディスプレイSD-26/SD-21やAVシステムWAVEシリーズなど、パイオニアのマークの付いたビデオ、オーディオコンポーネントなどをパソコンでコントロールする場合に利用します。

●出力端子

ビデオ：映像出力端子です。パイオニアコンポーネントディスプレイなどのカラーモニターの映像入力端子とつなぎます。

オーディオ：音声出力端子です。ステレオアンプの予備R, L入力端子(AUX)などとつなぎます。

●入力端子

ビデオ：映像入力端子です。レーザービジョンプレーヤーの映像出力端子などとつなぎます。

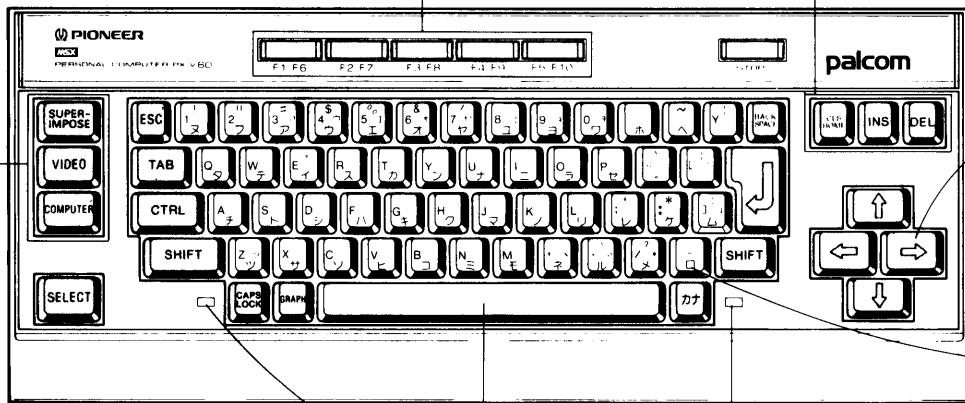
オーディオ：音声入力端子です。ビデオと同様にレーザービジョンプレーヤーなどの音声出力端子とつなぎます。

■ファンクションキー

各キーごとに命令や文字列を定義し、入力をもっと簡単にするためのキー

■画面編集キー (CLS HOME, INS, DEL)

画面に表示されている文字を編集するときに使います。



■カーソル移動キー
カーソルを上下左右に移動させるときに使用します。

■文字キー
文字を入力するためのキー

■画面切換キー

本機に接続したディスプレイの画面を切換えます。

SUPERIMPOSE: 本機のビデオ入力端子(コンピューター本体後面)に接続された外部ビデオソースの画像と本機のコンピューター画像の合成画像がディスプレイに表示されます。

VIDEO: 本機のビデオ入力端子に接続された外部ビデオソースの画像がディスプレイに表示されます。

COMPUTER: 本機で作られたコンピューター画像がディスプレイに表示されます。

■スペースキー

■カナインジケータ

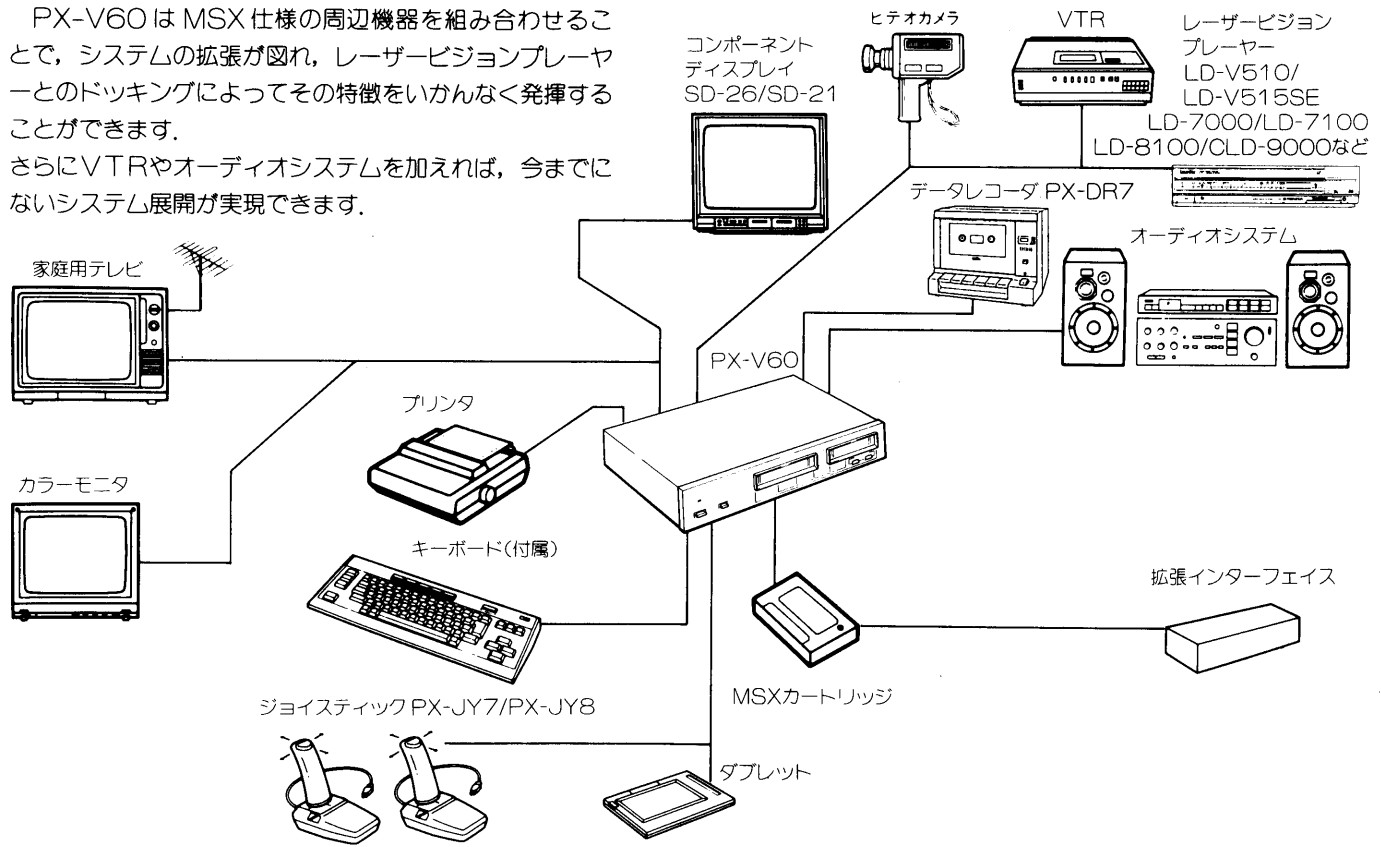
カナキーを押してキー入力がカナ文字または、かな文字モードになっているときに点灯します。

■大文字インジケータ

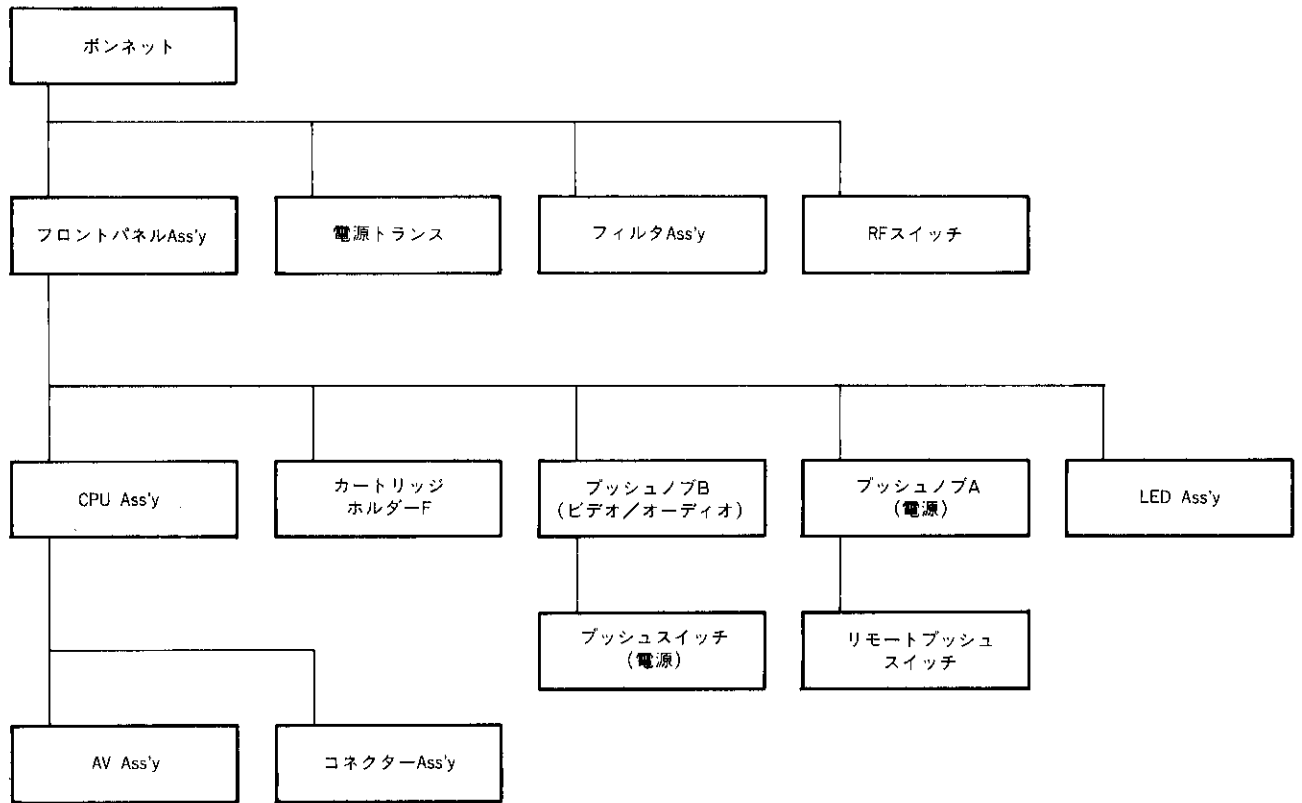
CAPS LOCK キーを押してキー入力が英大文字モードになっているときに点灯します。

PX-V60はMSX仕様の周辺機器を組み合わせることで、システムの拡張が図れ、レーザービジョンプレーヤーとのドッキングによってその特徴をいかに発揮することができます。

さらにVTRやオーディオシステムを加えれば、今までにないシステム展開が実現できます。



3. 各部のはずし方



●CPU Ass'yの修理

CPU Ass'yの修理の際には図3-1のようにCPU Ass'yを立てると修理がしやすくなります。

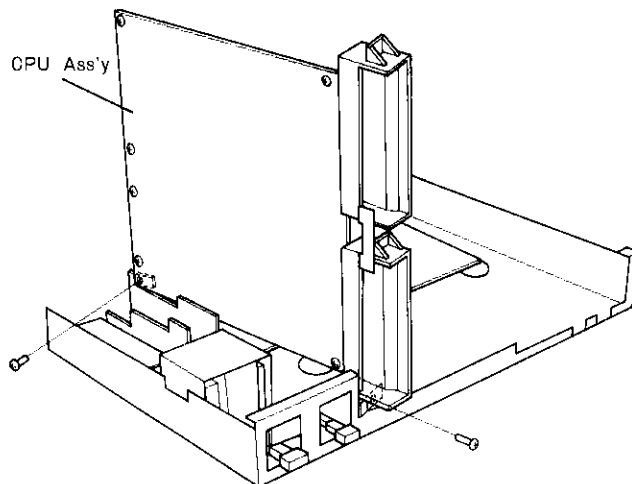


図3-1 CPU Ass'y の修理

●AV Ass'yの修理

AV Ass'yの修理の際にはCPU Ass'yをはずし、AV Ass'yを図3-2のように立てると修理がしやすくなります。

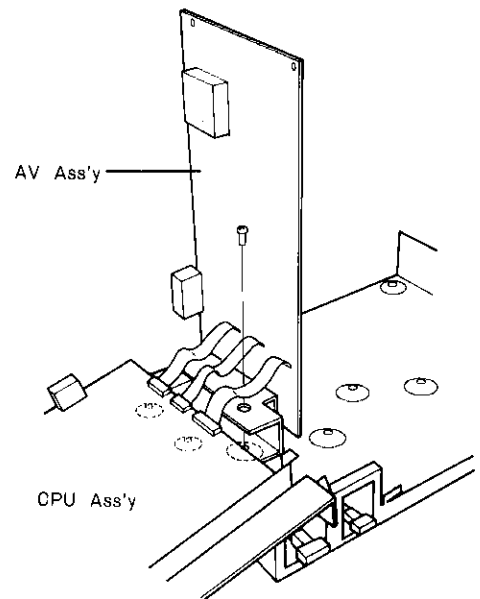


図3-2 AV Ass'y の修理

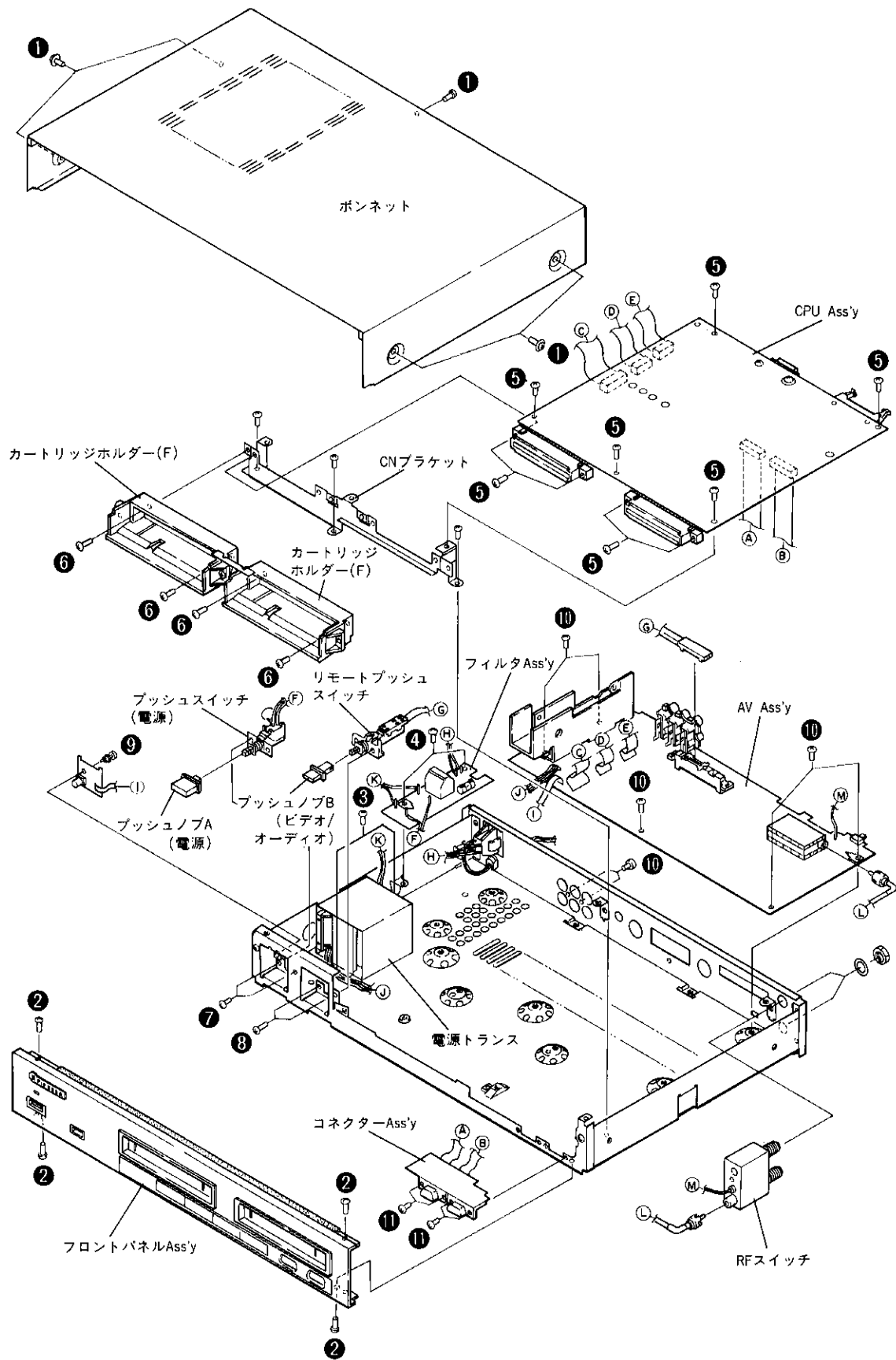
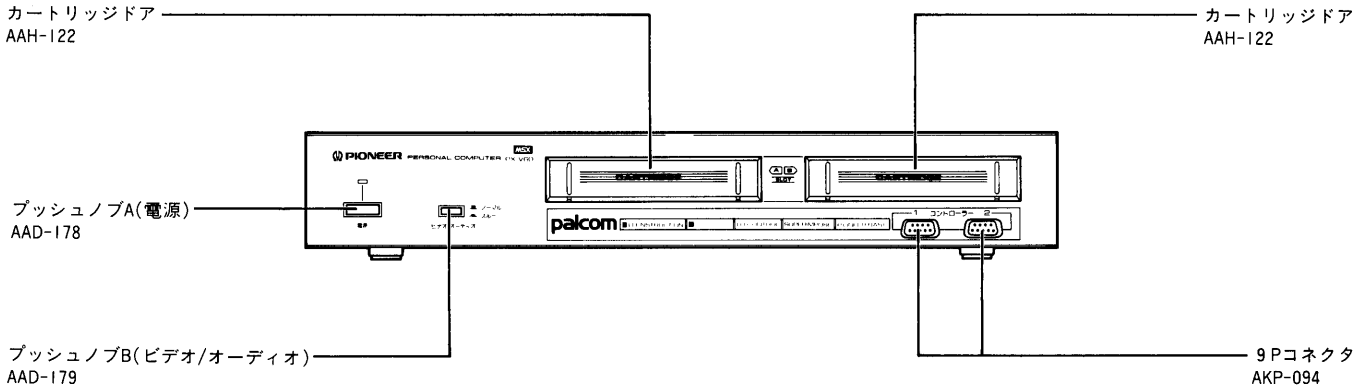


図3-3 各部のはずし方

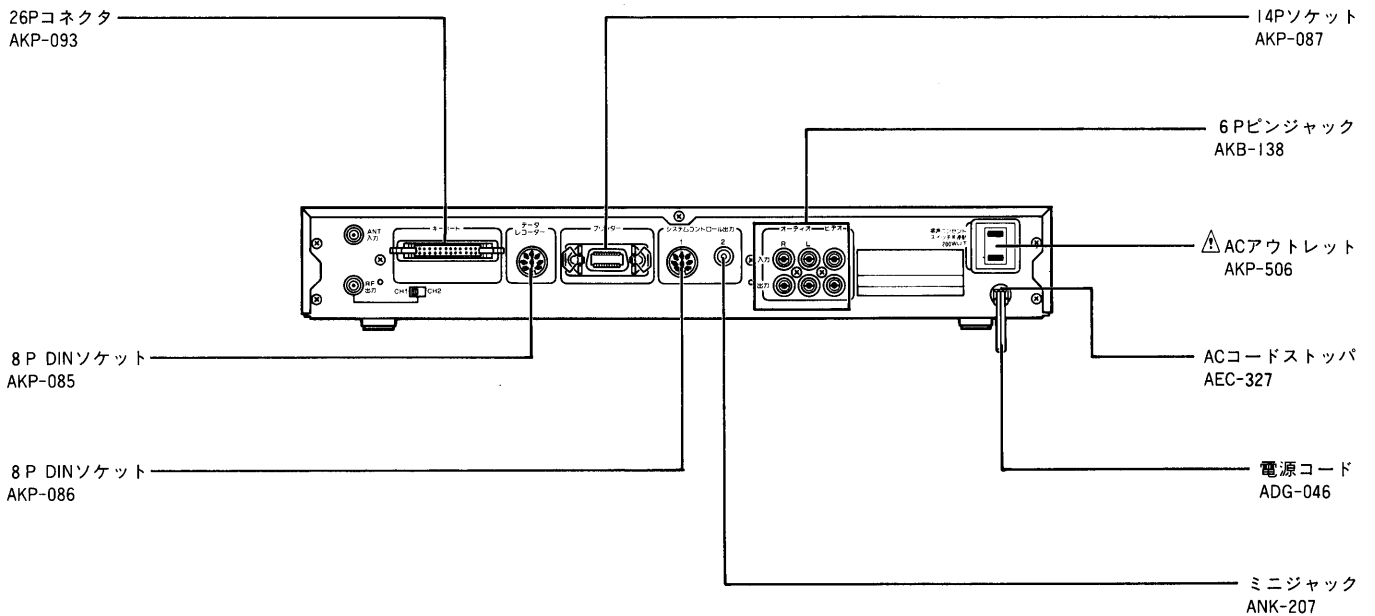
4. 部品配置

- ⚠印の部品は、安全上重要な部品です。交換をする時は、安全および性能維持のため必ず指定の部品をご使用ください。
- 部品番号を表示していない部品は、供給できません。
- ●印の部品は常時在庫しておりませんので供給に長時間を要することがあります。場合によっては供給をお断りすることがあります。

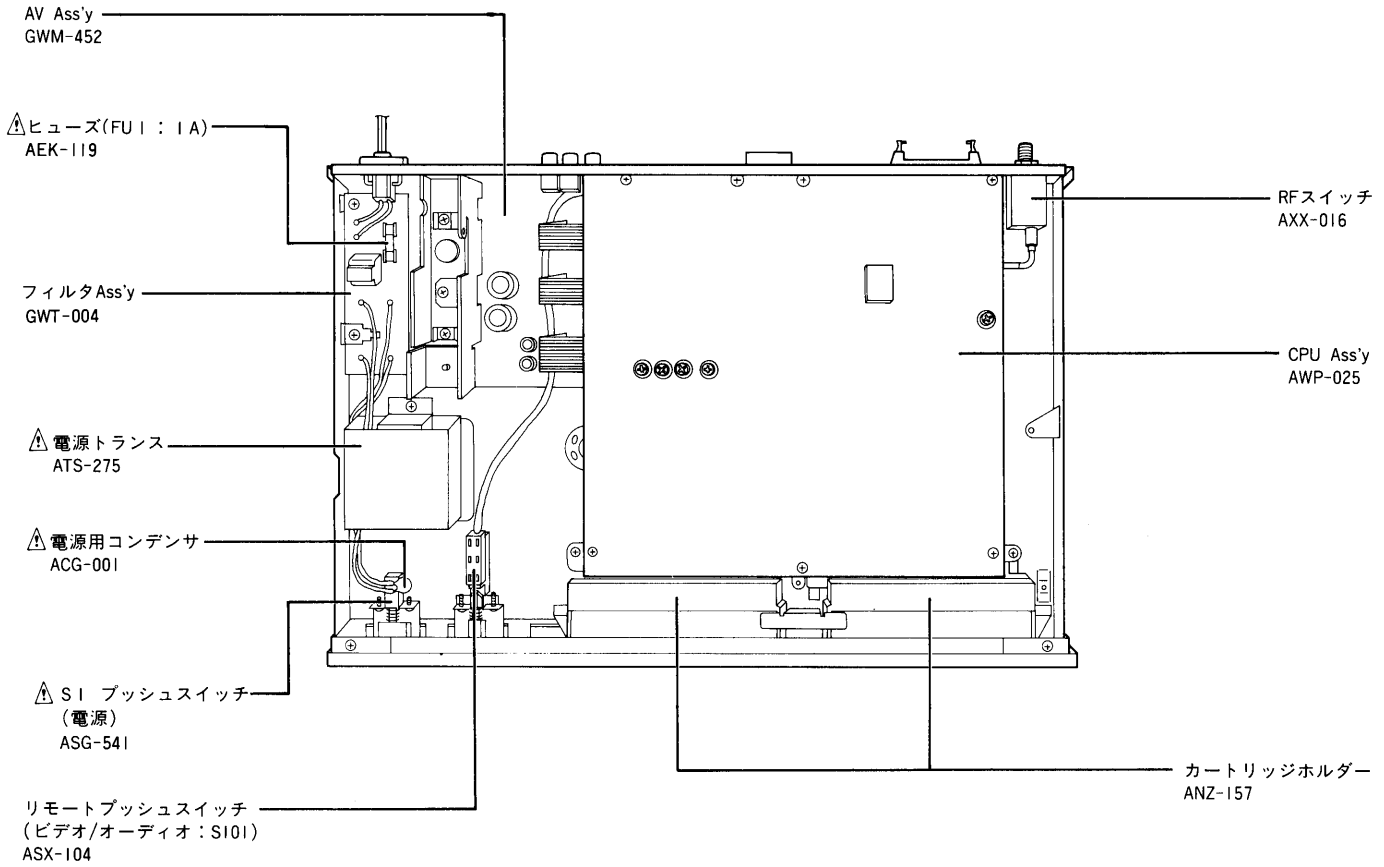
● フロントパネル面



● リアパネル面



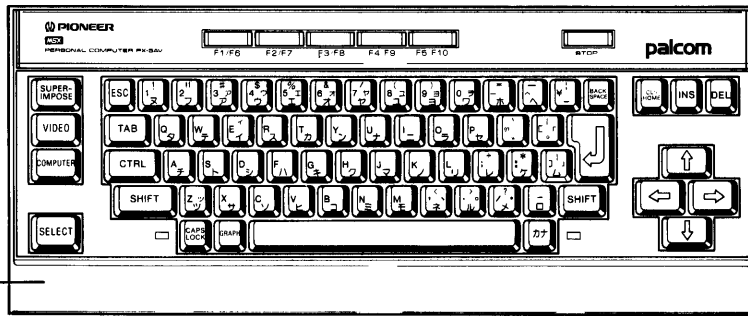
●上面



A

B

●キーボード



フロントカバー Ass'y
ANY-161

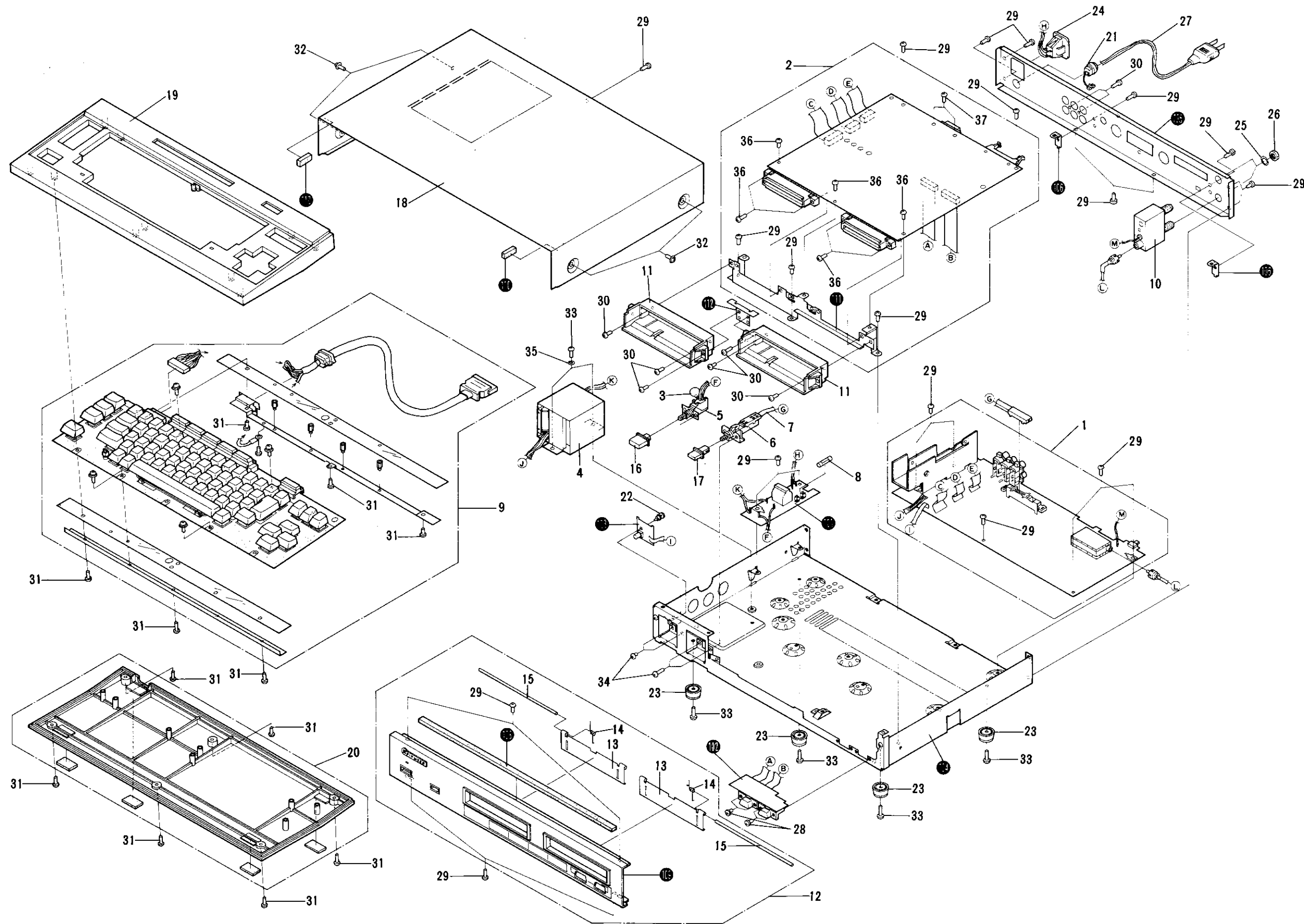
C

D

5. 分解図と部品表

A
B
C
D

A
B
C
D

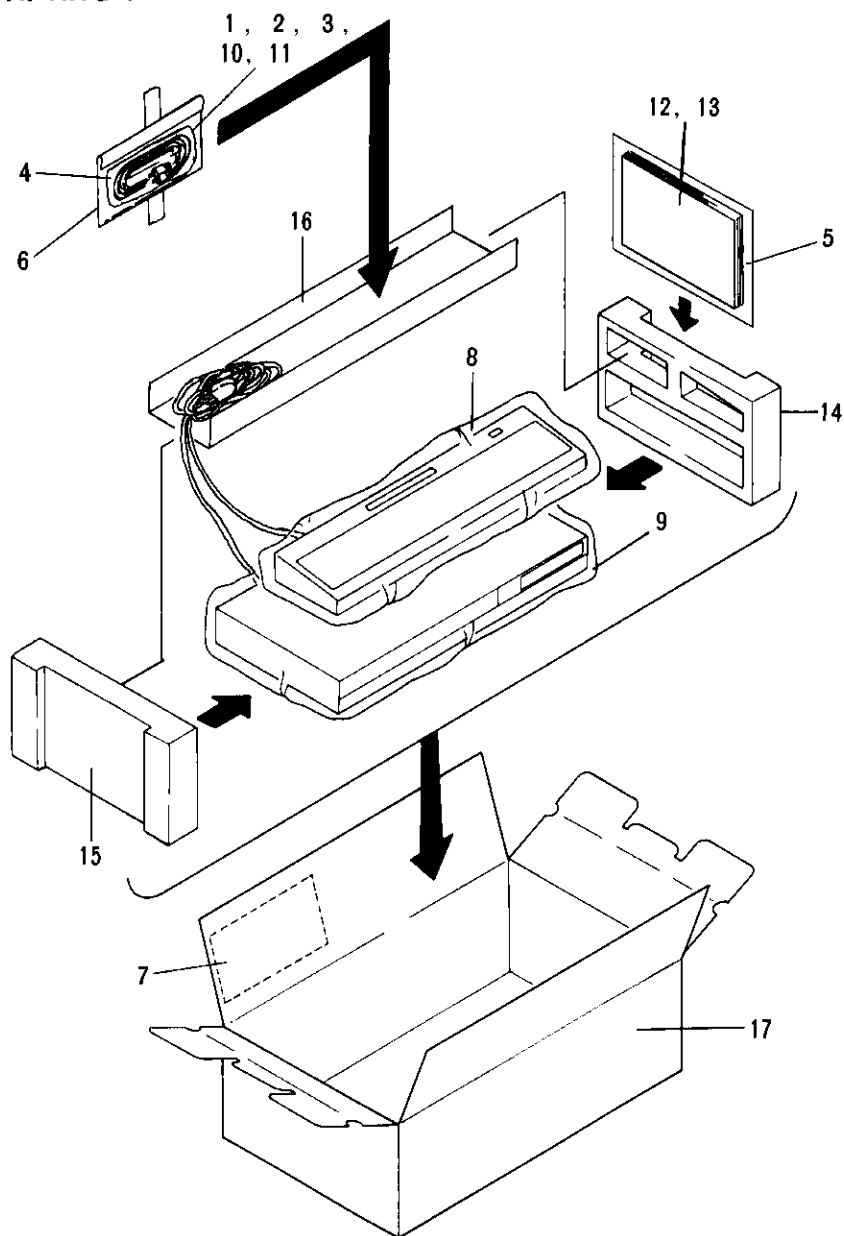


- △印の部品は、安全上重要な部品です。交換をする時は、安全および性能維持のため必ず指定の部品をご使用ください。
- 部品番号中“⊖”は、英字の“O”を表わします。部品発注の際は、注意してください。
- 部品を発注する際は、特に数字の“1”と英字の“I”との区別をはっきり記入してください。
- 部品番号を表示していない部品は、供給できません。
- 印の部品は常時在庫していませんので供給に長時間を要することがあります。場合によっては供給をお断りすることがあります。

分解図の部品表

| 番号 | 部品番号 | 名 称 | 備 考 | 番号 | 部品番号 | 名 称 | 備 考 |
|------|--------------|----------------------------------|-----|-----|--------------|------------|-----|
| 1 | GWM 452 | AV Ass'y | | 31 | BBZ30P100FZK | ネジ | |
| 2 | AWP 025 | CPU Ass'y | | 32 | FBT40P080FZK | ネジ | |
| △ 3 | ACG 001 | 電源用コンデンサ(C100) | | 33 | VBZ40P060FMC | ネジ | |
| △ 4 | ATS 275 | 電源トランス(T1) | | 34 | VMZ30P060FMC | ネジ | |
| △ 5 | ASG 541 | ブッシュスイッチ(電源：S1) | | 35 | WS40FMC | ワッシャー | |
| 6 | ASX-104 | リモートブッシュスイッチ (ビデオ/オーディオ：S101) | | 37 | VBZ40P080FZK | ネジ | |
| 7 | ASX 209 | リモートワイヤー | | | | | |
| △ 8 | AEX 119 | ヒューズ(FU1：1A) | | | | | |
| 9 | AWX 328 | キーボードAss'y | | | | | |
| 10 | AXX 016 | RFスイッチ | | | | | |
| 11 | ANZ 157 | カートリッジホルダー(F) | | 101 | | フィルタAss'y | |
| 12 | AWL 022 | フロントパネルAss'y | | 102 | | コネクタAss'y | |
| 13 | AAH-122 | カートリッジドア | | 103 | | LED Ass'y | |
| 14 | ABH-168 | ドアースプリング | | 104 | | メインシャーシー | |
| 15 | ANL 034 | ドアシャフト | | 105 | | リアパネル | |
| 16 | AAD 178 | ブッシュノブA(電源) | | 106 | | PCBブラケット | |
| 17 | AAD 179 | ブッシュノブB(ビデオ/オーディオ) | | 107 | | ドアストッパー | |
| 18 | ANE 613 | ボンネット | | 108 | | パネルクッション | |
| 19 | ANY 161 | フロントカバーAss'y | | 109 | | フロントパネル | |
| 20 | ANZ 159 | ボトムケースAss'y | | 110 | | ボンネットクッション | |
| 21 | AEC-327 | ACコードストッパー | | 111 | | CNブラケット | |
| 22 | AEC 441 | プラスチックリベット | | 112 | | ドアストッパー | |
| 23 | AEP 306 | トランレグ | | | | | |
| △ 24 | AKI 506 | 1P ACアウトレット | | | | | |
| 25 | ABE 063 | パネ座金 | | | | | |
| 26 | ABN 087 | ロックカクンヨウナット | | | | | |
| △ 27 | ADG-046 | 電源コード | | | | | |
| 28 | BBZ26P080FMC | ネジ | | | | | |
| 29 | BBZ30P060FZK | ネジ | | | | | |
| 30 | BBZ30P080FZK | ネジ | | | | | |

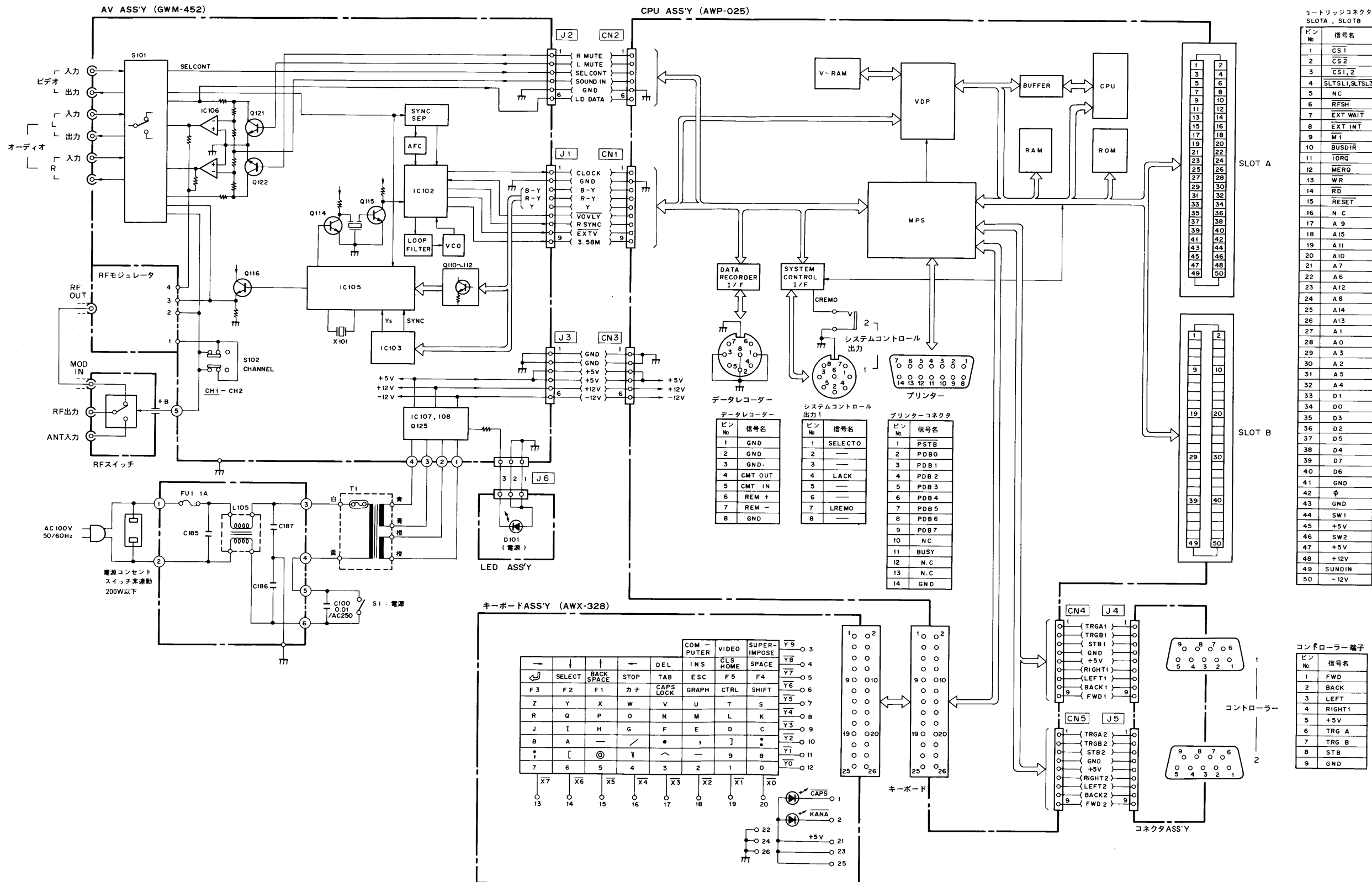
6. 梱包図と部品表



梱包図の部品表

| 番号 | 部品番号 | 名称 | 備考 | 番号 | 部品番号 | 名称 | 備考 |
|----|---------|---------------|----|----|---------|-----------|----|
| 1 | ADE 073 | ピンプラグ付中継コード | | 11 | APK 001 | デモテープ | |
| 2 | ADE 089 | ピンプラグ付中継コード | | 12 | ARA 335 | 取扱説明書 | |
| 3 | ADF 130 | 8P DIN付コードセット | | 13 | ARH 087 | 補助説明書 | |
| 4 | AEA 064 | ケーブル入り袋 | | 14 | AHA 427 | 発泡パッキン(A) | |
| 5 | AHG 139 | 包装用ポリ袋 | | 15 | AHA-428 | 発泡パッキン(B) | |
| 6 | AHG-153 | 付属品袋 | | 16 | AHB 154 | ダンボールスベサー | |
| 7 | AHG 195 | 保証書用ポリ袋 | | 17 | AHE 674 | パッキングケース | |
| 8 | AHG 198 | ポリ袋(B) | | | | | |
| 9 | AHG 212 | 包装シート | | | | | |
| 10 | AKX 080 | 成合器 | | | | | |

7. 総合結線図



ボードリッジコネクタ SLOTA, SLOTB

| ピン No | 信号名 |
|-------|--------------|
| 1 | CS 1 |
| 2 | CS 2 |
| 3 | CS1, 2 |
| 4 | SLTS1, SLTS3 |
| 5 | NC |
| 6 | RFSH |
| 7 | EXT WAIT |
| 8 | EXT INT |
| 9 | M1 |
| 10 | BUSDIR |
| 11 | TORQ |
| 12 | MERG |
| 13 | WR |
| 14 | RD |
| 15 | RESET |
| 16 | N.C |
| 17 | A 9 |
| 18 | A 15 |
| 19 | A 11 |
| 20 | A 10 |
| 21 | A 7 |
| 22 | A 6 |
| 23 | A 12 |
| 24 | A 8 |
| 25 | A 13 |
| 26 | A 14 |
| 27 | A 1 |
| 28 | A 0 |
| 29 | A 3 |
| 30 | A 2 |
| 31 | A 5 |
| 32 | A 4 |
| 33 | D 1 |
| 34 | D 0 |
| 35 | D 3 |
| 36 | D 2 |
| 37 | D 5 |
| 38 | D 4 |
| 39 | D 7 |
| 40 | D 6 |
| 41 | GND |
| 42 | φ |
| 43 | GND |
| 44 | SW 1 |
| 45 | +5V |
| 46 | SW 2 |
| 47 | +5V |
| 48 | +12V |
| 49 | SUNDIN |
| 50 | -12V |

データレコーダ

| ピン No | 信号名 |
|-------|---------|
| 1 | GND |
| 2 | GND |
| 3 | GND |
| 4 | CMT OUT |
| 5 | CMT IN |
| 6 | REM + |
| 7 | REM - |
| 8 | GND |

システムコントロール

| ピン No | 信号名 |
|-------|---------|
| 1 | SELECTO |
| 2 | --- |
| 3 | --- |
| 4 | LACK |
| 5 | --- |
| 6 | LREMO |
| 7 | --- |
| 8 | --- |

プリンターコネクタ

| ピン No | 信号名 |
|-------|------|
| 1 | PSTB |
| 2 | PDB0 |
| 3 | PDB1 |
| 4 | PDB2 |
| 5 | PDB3 |
| 6 | PDB4 |
| 7 | PDB5 |
| 8 | PDB6 |
| 9 | PDB7 |
| 10 | NC |
| 11 | BUSY |
| 12 | N.C |
| 13 | N.C |
| 14 | GND |

コントローラ

| ピン No | 信号名 |
|-------|--------|
| 1 | FWD |
| 2 | BACK |
| 3 | LEFT |
| 4 | RIGHT1 |
| 5 | +5V |
| 6 | TRG A |
| 7 | TRG B |
| 8 | STB |
| 9 | GND |

8. アナログ部のパターン図と回路図

AV Ass'y

A

B

C

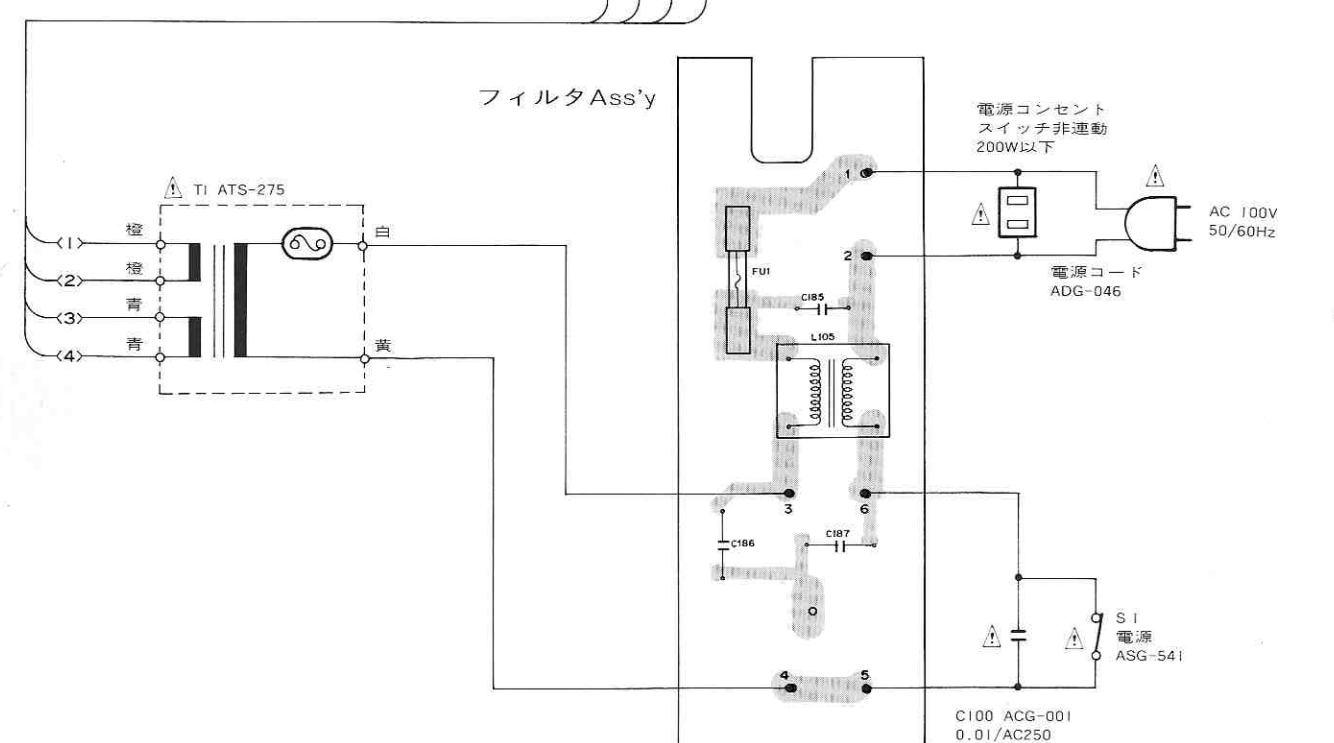
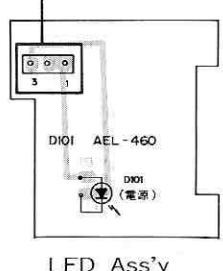
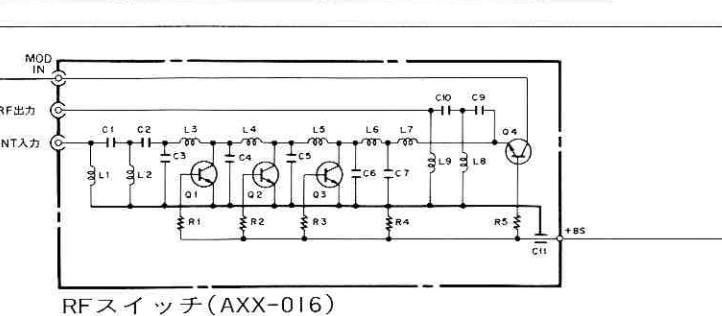
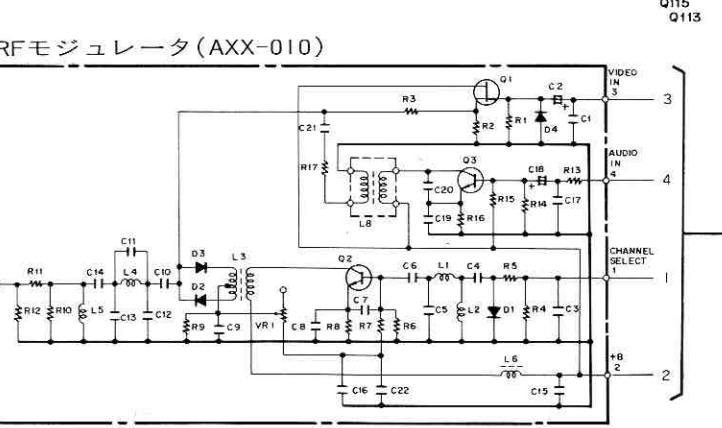
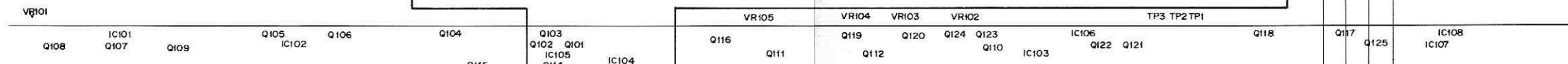
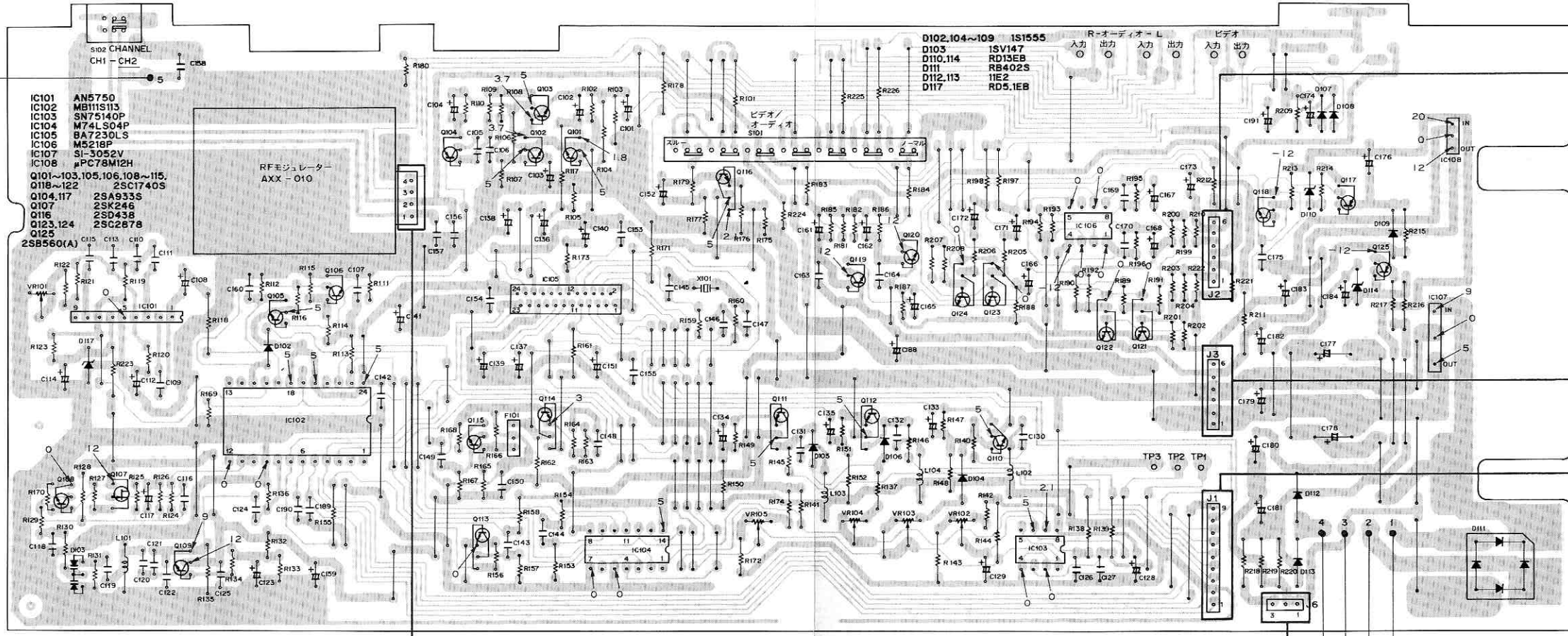
D

A

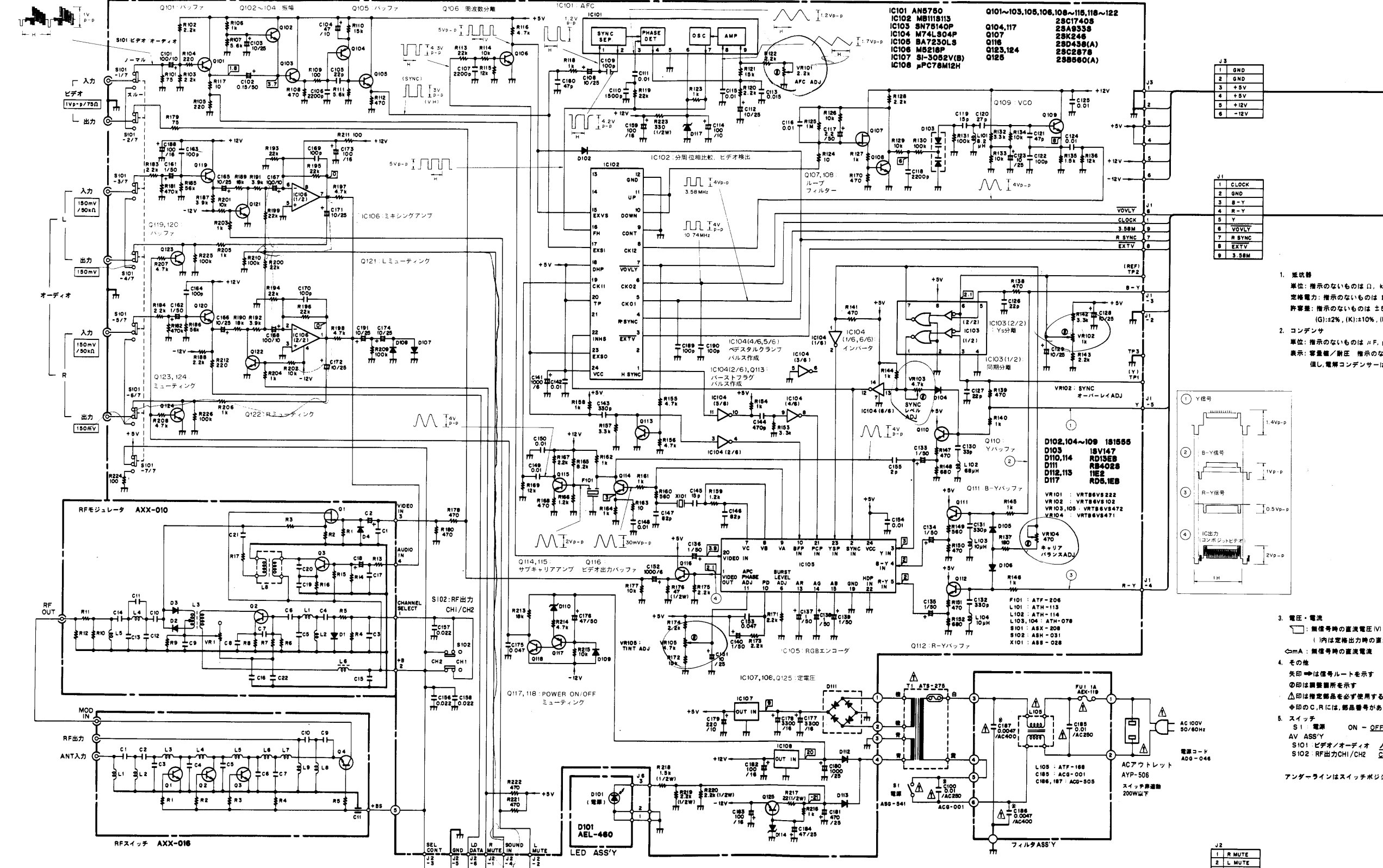
B

C

D



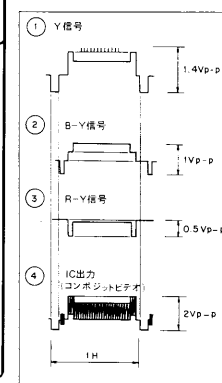
AV ASS'Y (GWM-452)



| | |
|---|------|
| 1 | GND |
| 2 | GND |
| 3 | +5V |
| 4 | +5V |
| 5 | +12V |
| 6 | -12V |

| | |
|---|--------|
| 1 | CLOCK |
| 2 | GND |
| 3 | B-Y |
| 4 | R-Y |
| 5 | Y |
| 6 | VOVLY |
| 7 | R SYNC |
| 8 | EXTV |
| 9 | 3.58M |

- 抵抗値
単位: 指示のないものは Ω, k:KΩ, M:MΩ
定格電力: 指示のないものは 1/4W, 1/1W, 1/2W, 1/8W
許容差: 指示のないものは ±5%, (F): ±1%,
(G): ±2%, (K): ±10%, (M): ±20%
- コンデンサ
単位: 指示のないものは nF, p:pF
表示: 容量値/耐圧 指示のない耐圧は50V
但し、電解コンデンサは除く



- 電圧・電流
□ 電圧符号の直流電圧 (V)
○ 電流符号の直流電流 (mA)
○ mA: 電圧符号の直流電流
- その他
矢印 ⇨ は信号ルートを示す
○印は調整箇所を示す
△印は指定部品を必ず使用すること
☆印の C, R には、部品番号があります。
- スイッチ
S1: 電源 ON-OFF
AV ASS'Y
S101: ビデオ/オーディオ ノーマル スルー
S102: RF出力 CH1/CH2 CH1 - CH2
アンダーラインはスイッチポジションを示す。

| | |
|---|----------|
| 1 | R MUTE |
| 2 | L MUTE |
| 3 | SEL CONT |
| 4 | SOUND IN |
| 5 | GND |
| 6 | LD DATA |

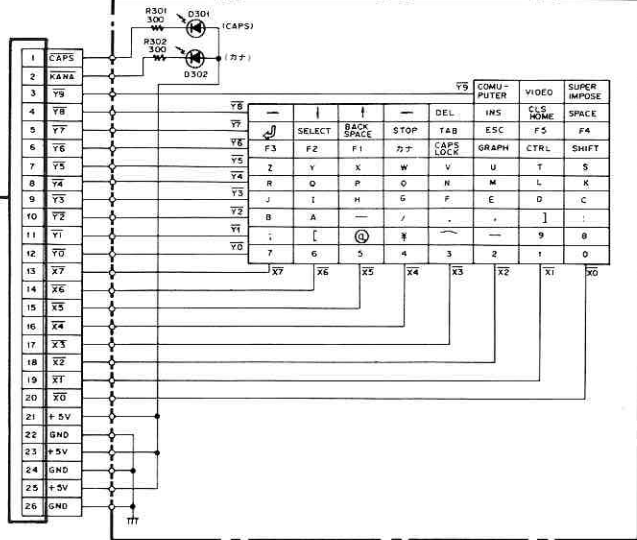
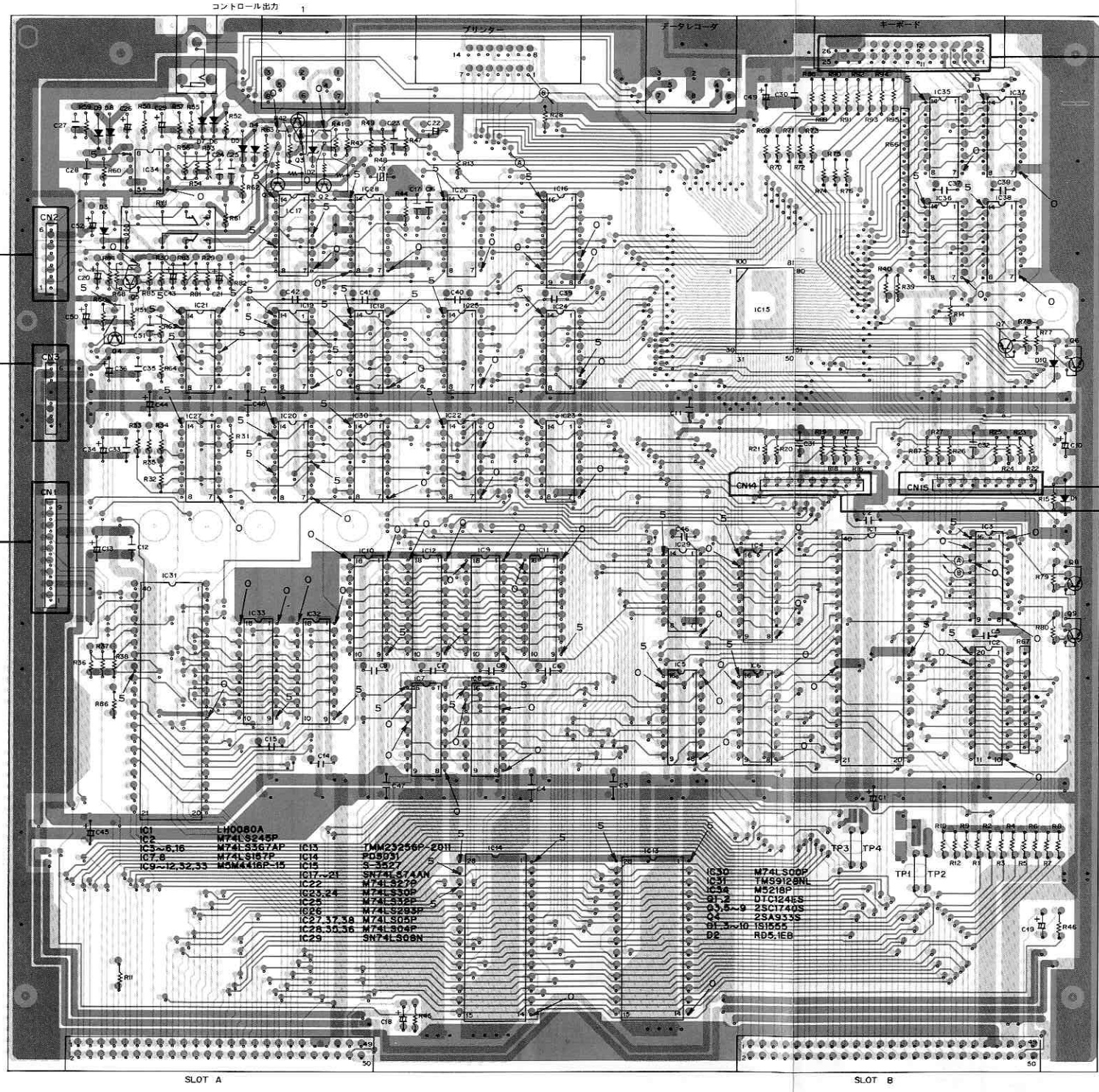
9. デジタル部のパターン図と回路図

CPU Ass'y

キーボード Ass'y

A
B
C
D

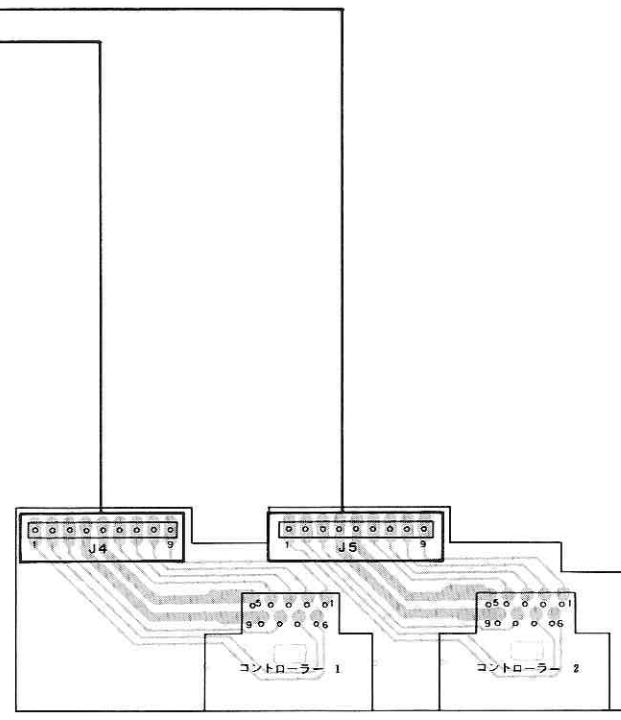
A
B
C
D



IC17 IC16
IC28 IC36
IC26 IC38
IC16
IC15
IC21
IC18 Q7
IC25 O6
IC24 O6
IC27
IC20
IC30
IC22
IC23

IC1 IC3
IC9~IC12
IC29 IC4
Q8
Q9
IC31~IC33
IC2
IC5~IC8

TP3
TP4
TP1
TP2
IC14~IC13

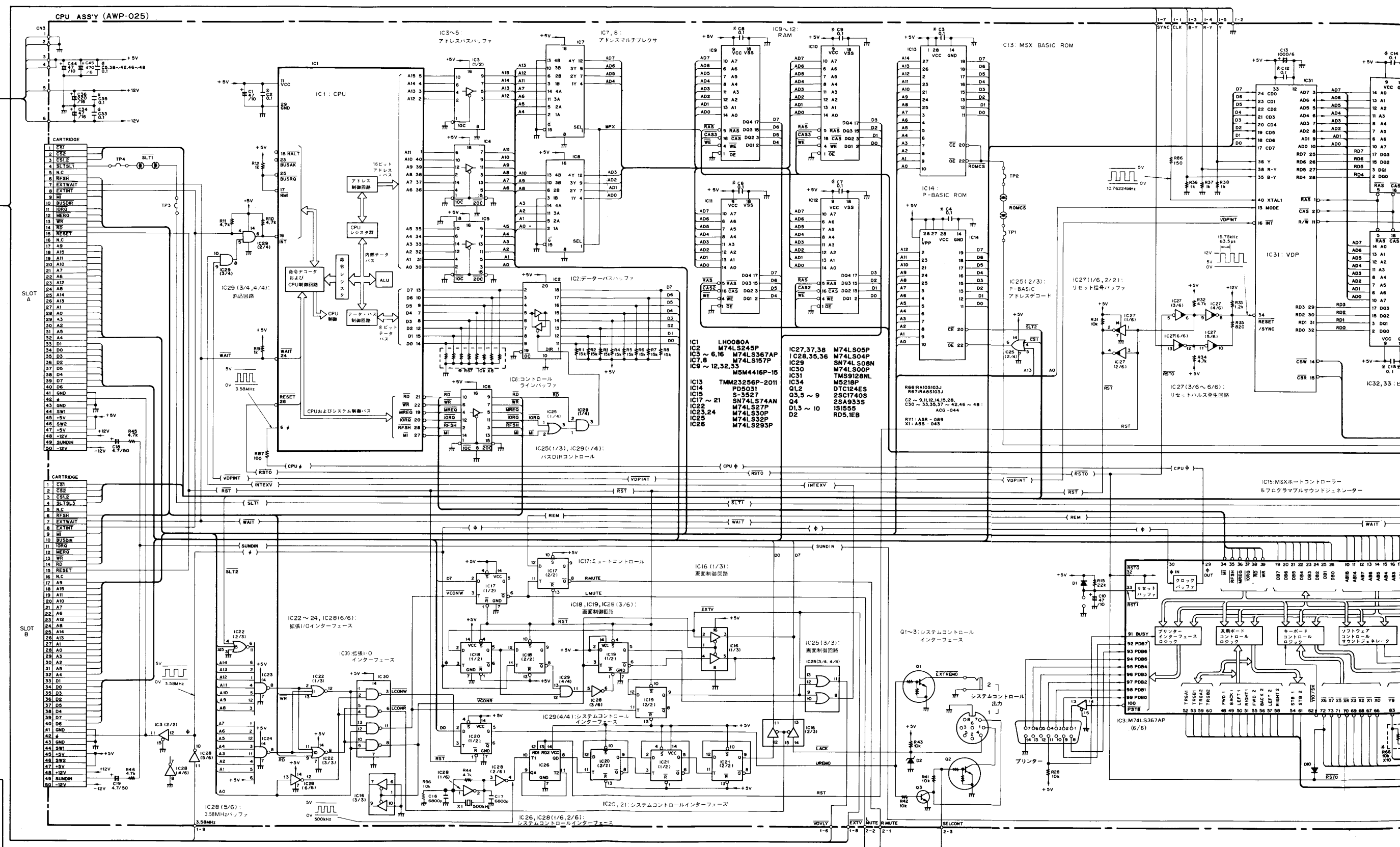


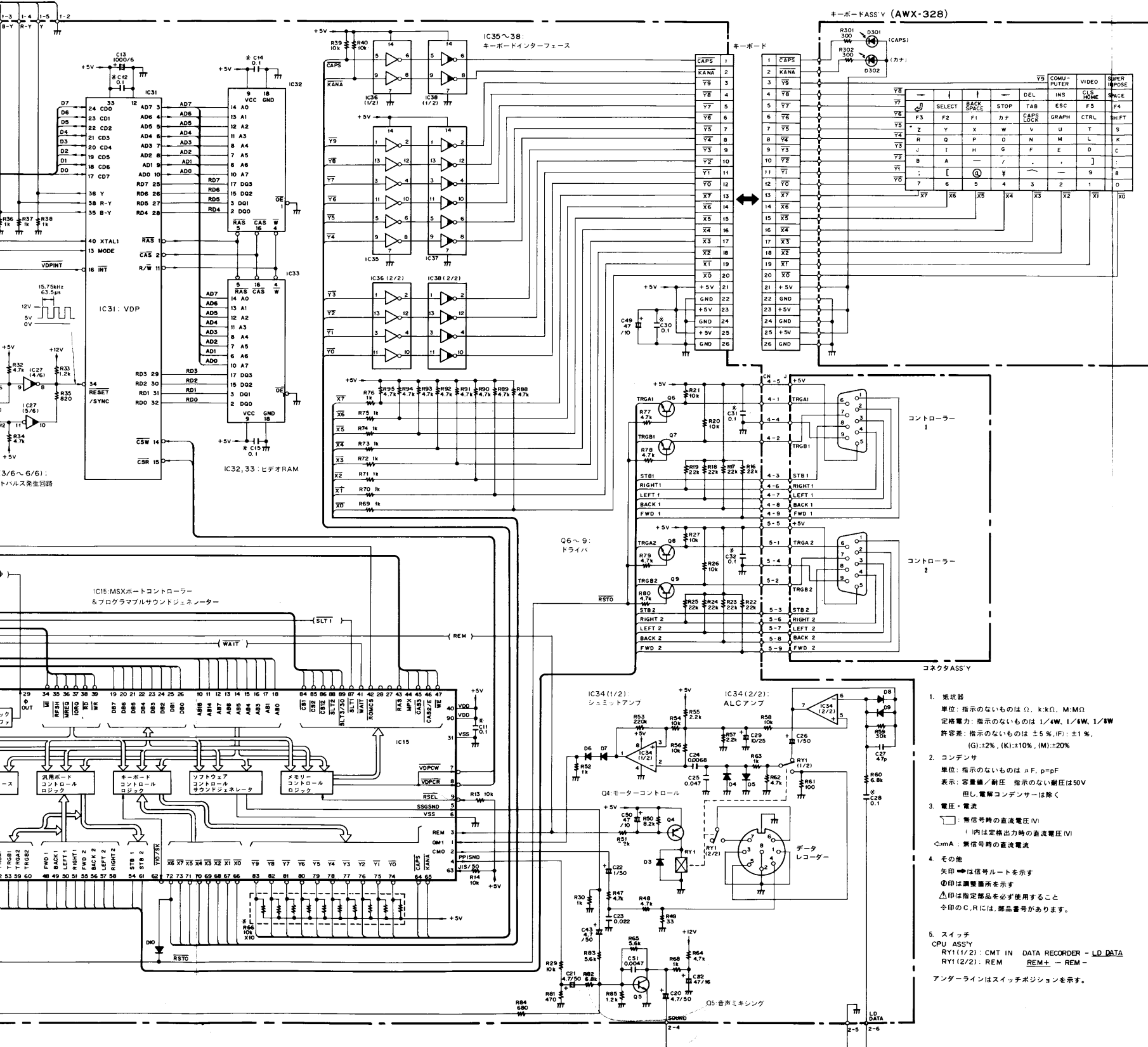
A

B

C

D





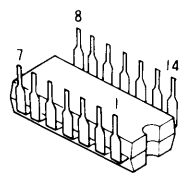
- 抵抗器
単位: 指示のないものは Ω, k, kΩ, M, MΩ
定格電力: 指示のないものは 1/4W, 1/2W, 1/8W
許容差: 指示のないものは ±5%, (F): ±1%, (G): ±2%, (K): ±10%, (M): ±20%
- コンデンサ
単位: 指示のないものは pF, p, pF
表示: 容量値/耐圧 指示のない耐圧は50V
但し、電解コンデンサは除く
- 電圧・電流
□: 無信号時の直流電圧 (V)
|: 内は定格出力時の直流電圧 (V)
◁mA: 無信号時の直流電流
- その他
矢印 ⇒ は信号ルートを示す
⊕印は調整箇所を示す
△印は指定部品を必ず使用すること
全図のC, Rには、部品番号があります。
- スイッチ
CPU ASS'Y
RY1 (1/2): CMT IN DATA RECORDER - LD DATA
RY1 (2/2): REM REM+ - REM -
アンダーラインはスイッチポジションを示す。

M74LS04P
M74LS00P
M74LS05P

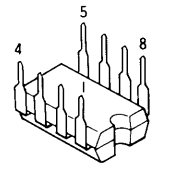
2SA933S
2SC1740S

2SB560(A)
2SD438(A)

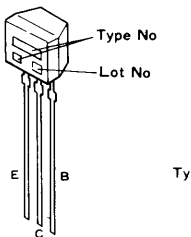
AN5750



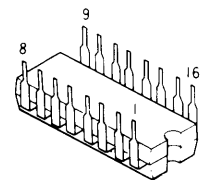
M5218P
SN75140P



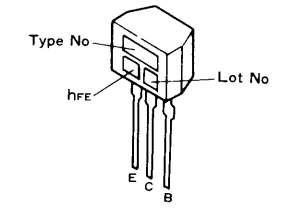
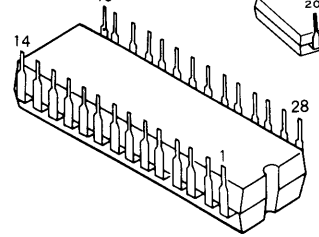
DTC124ES



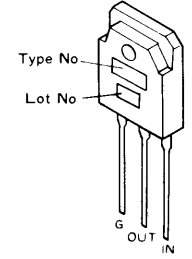
M74LS157P
M74LS30P
M74LS367AP



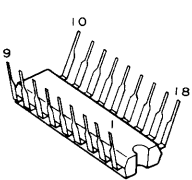
PD5031
TMM23256P



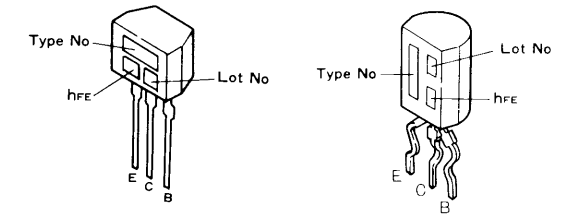
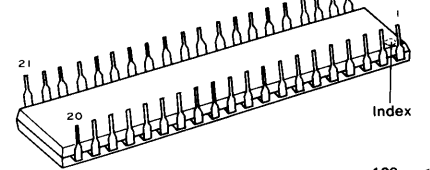
SI-3052V(B)



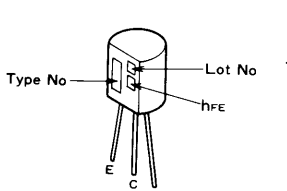
M5M4416P



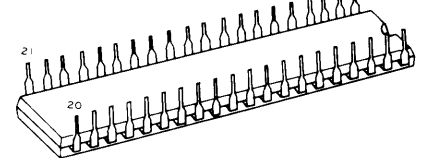
LH0080A



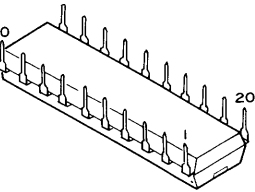
2SC2878



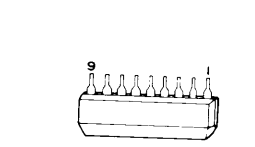
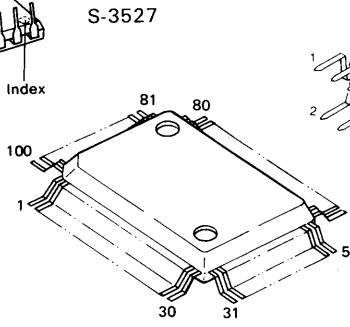
TMS9128NL



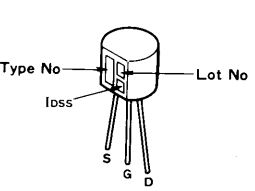
M74LS245P



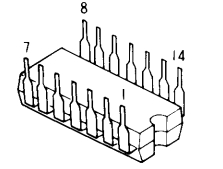
S-3527



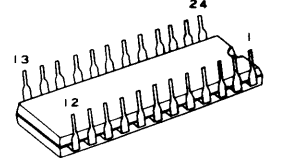
2SK246



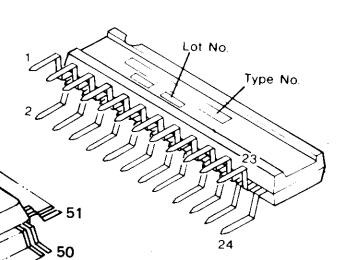
M74LS27P
M74LS293P
M74LS32P
SN74LS08N
SN74LS74AN



MB111S113



BA7230LS



10. 電気部品表

- △印の部品は、安全上重要な部品です。交換をする時は、安全および性能維持のため必ず指定の部品をご使用ください。
- 部品番号中“0”は、英字の“O”を表わします。部品発注の際は、注意してください。
- 部品を発注する際は、特に数字の“1”と英字の“I”との区別をはっきり記入してください。
- 部品番号を表示していない部品は、供給できません。

注、抵抗器は、○○○に抵抗値をコードで入れ、本来の部品番号に直して発注してください。

例1 560Ω, 47kΩなど、0以外の数字(有効数字)が2桁の場合
(誤差がJ=±5%, K=±10%などの抵抗器はすべて該当)

560Ω → 56×10¹ → 561 RD¼PS(5)(6)(1)J
 47kΩ → 47×10³ → 473 RD¼PS(4)(7)(3)J
 0.5Ω → 0R5 RN2H(0)(R)(5)K
 1Ω → 010 RSIP(0)(1)(0)K

例2 有効数字が3桁の場合(超精密級金属皮膜抵抗器)

5.62kΩ → 562×10¹ → 5621 RN¼SR(5)(6)(2)(1)F

- 印の部品は常時在庫していませんので供給に長時間を要することがあります。場合によっては供給をお断りすることがあります。

Ass'y外の部品表

| 配線記号および名称 | 部品番号 |
|------------|-----------------------|
| AV Ass'y | GWM-452 |
| CPU Ass'y | AWP 025 |
| キーボードAss'y | AWX 328 |
| フィルターAss'y | 供給せず |
| コネクタAss'y | 供給せず |
| LED Ass'y | 供給せず |
| △ C100 | 電源用コンデンサ(0.01/AC250V) |
| △ T1 | 電源トランス |
| △ S1 | プッシュスイッチ |
| △ FU1 | リモートプッシュスイッチ |
| | ヒューズ(1A) |
| | RFスイッチ |
| △ | IP ACアウトレット |
| △ | 電源コード |
| | AXX 016 |
| | AKP 506 |
| | ADG 046 |

| 配線記号および名称 | 部品番号 |
|-----------------|----------------------|
| D111 | RH402S |
| D110, D114 | RD13EB (HZ13EB) |
| D117 | RD5.1EB (HZ5.1EB) |
| D103 | ISV147 |
| D102, D104~D109 | 1S1555 (US1035) |
| D112, D113 | 11E2 (S5566) |

スイッチ

| 配線記号および名称 | 部品番号 |
|-----------|-----------------------------|
| S102 | スライドスイッチ(RF出力CH1/CH2) |
| S101 | リモートスライドスイッチ (ビデオ/オーディオ) |
| | ASH 031 |
| | ASX 208 |

コイル, フィルター

| 配線記号および名称 | 部品番号 |
|------------|------------|
| L103, L104 | インダクター |
| L101 | インダクター |
| L102 | インダクター |
| F101 | セラミックフィルター |
| | ATH-078 |
| | ATH 113 |
| | ATH 114 |
| | ATF-206 |

コンデンサ

| 配線記号および名称 | 部品番号 |
|--|----------------------------------|
| C145 | CCCCH150J50 (CCDCH150J50) |
| C146, C147 | CCCCH820J50 (CCDCH820J50) |
| C155 | CCCSL020C50 (CCDSL020C50) |
| C109, C163, C164, C169, C170, C189, C190 | CCCSL101J50 (CCDSL101J50) |
| C105, C126, C127 | CCCSL220J50 (CCDSL220J50) |

AV Ass'y(GWM-452)

半導体

| 配線記号および名称 | 部品番号 |
|----------------------------------|-------------|
| IC101 | AN5750 |
| IC105 | BA7230LS |
| IC102 | MB111S113 |
| IC106 | M5218P |
| IC104 | M74LS04P |
| IC107 | SI 3052V(B) |
| IC103 | SN75140P |
| IC108 | μPC78M12H |
| Q104, Q117 | 2SA933S |
| Q125 | 2SB560(A) |
| Q101~Q103, Q105, Q106, Q108~Q115 | 2SC1740S |
| Q118~Q122 | |
| Q123, Q124 | 2SC2878 |
| Q116 | 2SD438(A) |
| Q107 | 2SK246 |

| 配線記号および名称 | 部品番号 |
|---|--|
| C160 | CCCSL470J50 (CCDSL470J50) |
| C122 | CCCUJ101J50 (CCDUJ101J50) |
| C119 | CCCUJ150J50 (CCDUJ150J50) |
| C120 | CCCUJ270J50 (CCDUJ270J50) |
| C130 | CCCUJ330J50 (CCDUJ330J50) |
| C121 | CCCUJ470J50 (CCDUJ470J50) |
| C102 C133~C135, C137~C140, C161, C162 C103, C108, C112, C123, C128, C129, C151, C165, C166, C171, C172, C174, C191 | CEASR15M50 CEAS010M50 CEAS100M25 |
| C101, C114, C167, C168 C159, C173, C182, C183, C188 C180 C141, C152 | CEAS101M10 CEAS101M16 CEAS102M25 CEAS102M6 |
| C117 C179 C136 C177, C178 C104 | CEAS2R2M50 CEAS221M10 CEAS010M50 CEAS332M16 CEAS470M10 |
| C184 C176 C181 C106, C107, C118 | CEAS470M25 CEAS470M50 CEAS471M25 CKCYB222K50 (CKDYB222K50) |
| C131, C132, C143 | CKCYB331K50 (CKDYB331K50) |
| C144 | CKCYB471K50 (CKDYB471K50) |
| C111, C124, C125, C142, C148~C150, C154 | CKCYF103Z50 (CKDYF103Z50) |
| C156~C158 | CKCYF223Z50 (CKDYF223Z50) |
| C175 | CKCYF473Z50 (CKDYF473Z50) |
| C115, C116 C110 C113 C153 | CQMA103K50 CQMA152K50 CQMA153K50 CQMA473K50 |

抵抗器

注. 抵抗器は, ○○○に抵抗値をコードで入れ
本来の部品番号に直して発注のこと.

| 配線記号および名称 | 部品番号 |
|------------------------------------|--------------------------|
| VR102 半固定1kΩ (SYNC/オーバーレイ) | VRTB6VS102 |
| VR101 半固定2.2kΩ (AFC) | VRTB6VS222 |
| VR104 半固定470Ω (キャリアバランス) | VRTB6VS471 |
| VR103, VR105 半固定4.7kΩ (SYNC, TINT) | VRTB6VS472 |
| R176, R217 | RD $\frac{1}{2}$ PMFC00J |
| R218~R220 | RD $\frac{1}{2}$ PM0000J |
| 上記以外の抵抗器 | RD $\frac{1}{2}$ PM0000J |

その他

| 配線記号および名称 | 部品番号 |
|----------------------|--------------|
| 6Pピンジャック(オーディオ, ビデオ) | AKB 138 |
| X101 水晶振動子 | ASS-028 |
| RFモジュレータ | AXX 010 |
| マイカシート | AEP 056 |
| | ABA 234 |
| | BBZ30P080FZK |

フィルタ Ass'y

フィルター

| 配線記号および名称 | 部品番号 |
|-----------------|---------|
| ▲ L105 ラインフィルター | ATF 168 |

コンデンサ

| 配線記号および名称 | 部品番号 |
|--------------------------------------|---------|
| ▲ C185 電源用コンデンサ(0.01/AC250V) | ACG-001 |
| ▲ C186, C187 電源用コンデンサ(0.0047/AC400V) | ACG 505 |

コネクタ Ass'y

その他

| 配線記号および名称 | 部品番号 |
|-------------------|---------|
| 9Pコネクタ(コントローラ1,2) | AKP 094 |

LED Ass'y

半導体

| 配線記号および名称 | 部品番号 |
|----------------|---------|
| D101 LED Ass'y | AEL-460 |

CPU Ass'y(AWP-025)

半導体

| 配線記号および名称 | 部品番号 |
|----------------------|------------|
| IC1 | LH0080A |
| IC9~IC12, IC32, IC33 | M5M4416P |
| IC34 | M5218P |
| IC30 | M74LS00P |
| IC28, IC35, IC36 | M74LS04P |
| IC27, IC37, IC38 | M74LS05P |
| IC7, IC8 | M74LS157P |
| IC2 | M74LS245P |
| IC22 | M74LS27P |
| IC26 | M74LS293P |
| IC23, IC24 | M74LS30P |
| IC25 | M74LS32P |
| IC3~IC6, IC16 | M74LS367AP |
| IC14 | PD5031 |
| IC15 | S-3527 |
| IC29 | SN74LS08N |
| IC17~IC21 | SN74LS74AN |
| IC13 | TMM23256P |
| IC31 | TMS9128NL |
| Q1, Q2 | DTC124ES |
| Q4 | 2SA933S |
| Q3, Q5~Q9 | 2SC1740S |
| D2 | RD5.1EB |
| D1, D3~D10 | 1S1555 |

リレー

| 配線記号および名称 | 部品番号 |
|-----------|---------|
| RY1 | ASR-089 |

コンデンサ

| 配線記号および名称 | 部品番号 |
|---|--|
| C2~C9, C11, C12, C14, C15, C28, C30~C33 C35, C37~C42, C46~C48 C27 | ACG 044 (CKDYX104M25) CCCSL470J50 (CCDSL470J50) |
| C22, C26 | CEAS010M50 |
| C29 | CEAS100M25 |
| C13 | CEAS102M6 |
| C36 | CEAS221M16 |
| C18~C21, C43 | CEAS4R7M50 |
| C1, C10, C44, C49, C50 | CEAS470M10 |
| C45 | CEAS471M6 |
| C34, C52 | CEAS470M16 |
| C16, C17 | CKCYB682K50 (CKDYB682K50) |
| C25 | CKCYX473M25 (CKDYX473M25) |
| C23 | CQMA223J50 |
| C51 | CQMA472J50 |
| C24 | CQMA682J50 |

抵抗器

注. 抵抗器は, ○○○に抵抗値をコードで入れ
本来の部品番号に直して発注のこと.

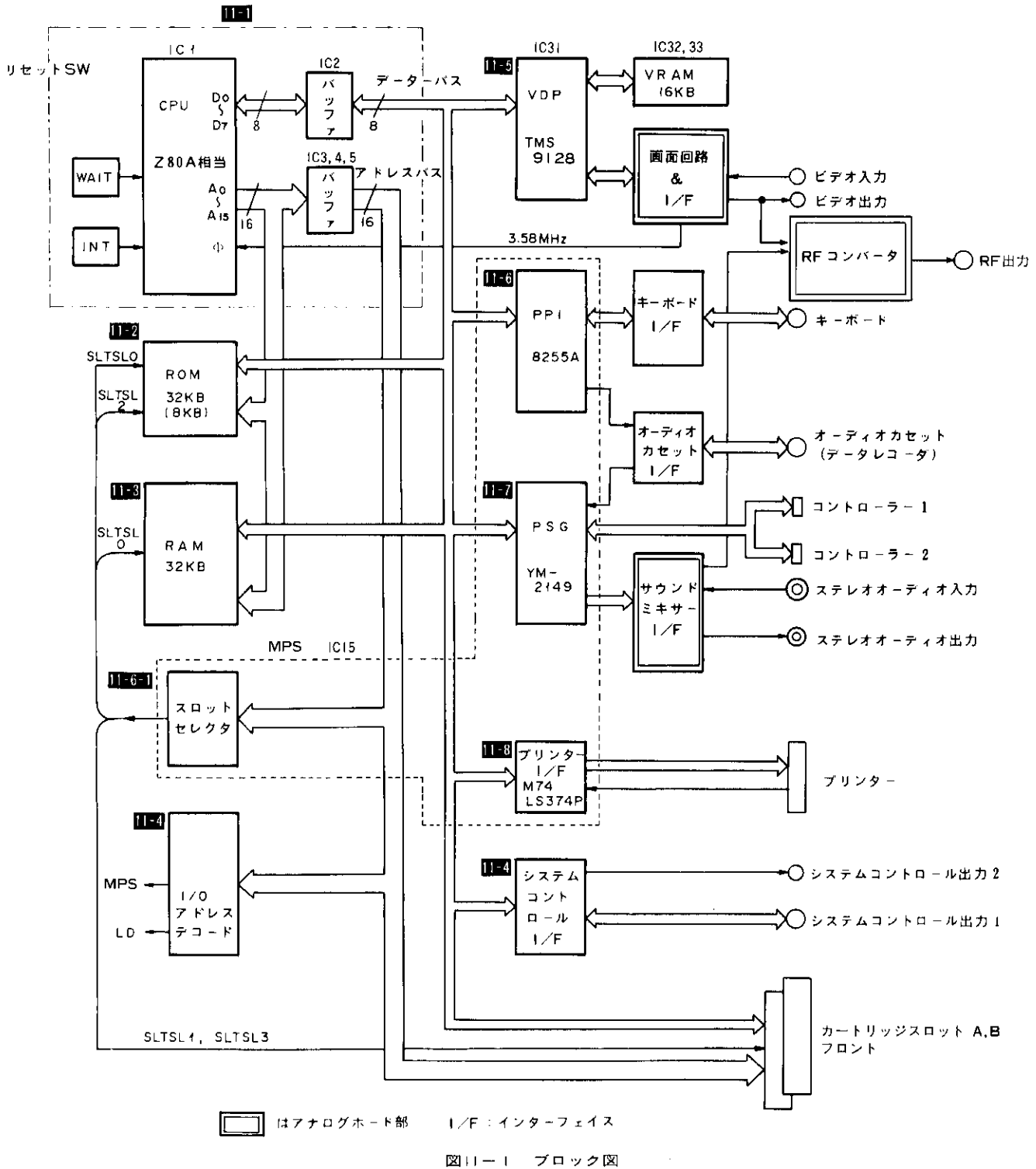
| 配線記号および名称 | 部品番号 |
|-----------|-----------|
| R66 | RA10S103J |
| R67 | RA8S103J |
| 上記以外の抵抗器 | RD4PM○○○J |

その他

| 配線記号および名称 | 部品番号 |
|--|--------------|
| ミニジャック (システムコントロール出力2) 8P DINソケット (データレコーダ) | ANK 207 |
| 8P DINソケット (システムコントロール出力1) | AKP 085 |
| 8P DINソケット (システムコントロール出力1) | AKP 086 |
| 14P ソケット(プリンター) | AKP-087 |
| 50P ソケット(スロットA, B) | AKP 088 |
| 26P コネクタ(キーボード) | AKP 093 |
| X1 セラミック発振子 | ASS 043 |
| | BHZ30P100FZK |
| | VBZ40P080FZK |

11. デジタル部の回路概要

ブロック図



11.1 CPU周辺

11.1.1 CPU(セントラル プロセッシング ユニット)

CPU (IC 1) には Z 80 A 相当品 (μPD780C-1等) を使用している。

11.1.2 システムクロック

システムクロックはアナログボード部のビデオ回路 (IC105) よりの 3.579545MHz をクロックとして使用している。このクロックはスーパーインポーズ (画面合成) 或は外部ビデオ選択を行なう際には、外部ビデオ信号より抽出されるカラーバースト波 (色同期信号) と同期したクロックとなり、それ以外においては IC105 よりの自走発振による、3.579545MHz が供給される。

11.1.3 RESET (リセット) 回路

電源投入時に PX-V60 の初期化を行なう回路で MPS に内蔵されている。CPU へのリセットはローアクティブのパルスにより行っており、電源投入時において電源電圧の立上りに対し C10 の充電時間分遅れたパルスを MPS (IC15) が生成し CPU へ入力することにより行っている。

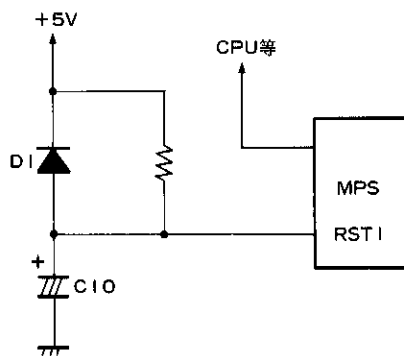


図11-2 リセット回路

11.1.5 割込回路

CPU への割込をかける回路で、EXTINT、INTVDP、INTEXV の 3 つの割込がある。

- ① EXTINT はスロットを介し、外部から入力される割込要求信号である。
- ② INTVDP は MSX ベーシックによりサポートされる割込ルーチンにより VDP の端秒ごとの割込機能を利用して、キーボードのキースキャンを行ない、キー入力処理を行っている。またこの端秒ごとの入力により CPU の内部ソフトウェアタイマーを働かせ、時計機能のクロックとしている。なお、P-BASIC モード時にはこのルーチンにより、P社独自の 3 つのキー (スーパーインポーズ、ビデオ、コンピュータ) の入力処理も行っている。

- ③ INTEXV はスーパーインポーズモードまたは、外部ビデオモードのときに外部ビデオ信号が無くなると割込が発生し、外部同期から内部同期への切換えを行ない画面の乱れを防止している。

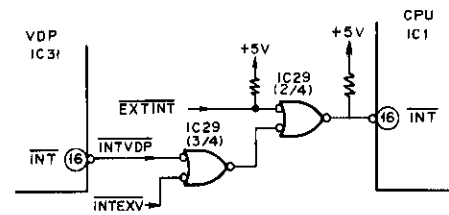


図11-3 割込回路

11.1.6 アドレスバス

アドレスバスはバッファ 74LS367 (IC 3 ~ IC 5) を介して接続されている。

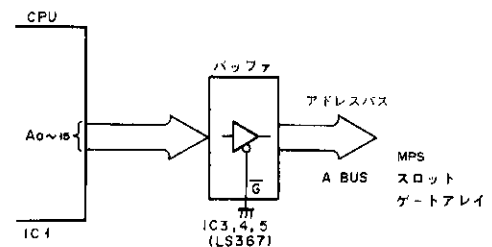
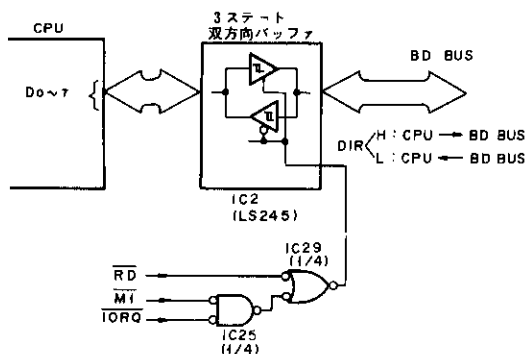


図11-4 アドレスバス

11.1.7 データバス

データバスは双方向バッファ 74LS245 (IC 2) を介して各LSI, IC, カートリッジコネクタへ接続されている。

双方向バッファはCPUがデータを入力するか、または、出力するかにより、データの通る方向をコントロールするバッファである。方向性のコントロールはIC 2のDIR端子により行なわれる。DIR端子にHが加わるとCPUよりデータバスへの出力ができ、Lが加わるとデータバスよりCPUへの入力ができる。DIRへのコントロール信号はRD, M1, IORQにより作られ、RD→LまたはM1及びIORQがLのときに、DIR端子へLが(CPU←BUS), それ以外ではHが(CPU→BUS) 加えられる。



RD → L又は *M1 及び IORQ → L時のみ DIR → LとなりCPU←BD BUSとなる。それ以外の場合はCPU→BD BUS

* 割込要求/アクノリッジ・サイクルにおいて周辺からCPUへの応答ベクトルを読み込むためにアクノリッジ・サイクル時CPU←BD BUSとする。

図11-5 データバス

11.1.8 コントロールライン

CPUよりのRD, WRなどのコントロール信号は、バッファLS367を介して各部へ接続されている。ただしMPS (IC15)へのコントロール信号は、バッファを介さず直接接続されている。

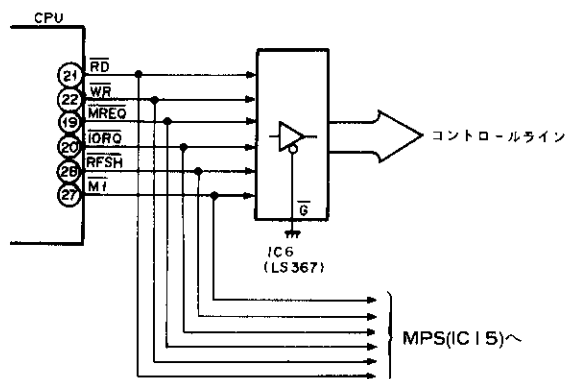


図11-6 コントロールライン

11.2 ROM(リード オンリー メモリ)

ROMにはMSX BASICが内蔵された32k×8ビットのマスクROM 23256 (IC13)とP-BASIC(拡張用)が内蔵された8k×8ビットのマスク-ROM2364 (IC14)が使用されている。

11.2.1 ROMのアクセス

MSX-ROMは、スロット0の0000(H)~7FFF(H)番地に配置され(32kB), 通常電源ONと共にセレクトされる。

MSX-ROMは、メモリアドレスが0000(H)~7FFF(H) (A15→L), でMREQ=L, RD=L, そしてSLTSL0がLにて、セレクトされる。なお、後述(1.6.1)のように電源ON時には自動的にSLTSL0がL出力となりMSX-ROMがセレクトされMSX BASICが起動する。

MSX-ROMのアクセス信号は上記条件において、MPS (IC15)の内部で生成され、IC15の42ピン (ROM CS)に出力される。

11.2.2 P-BASIC ROMセレクト

P-BASIC ROMはスロット2の4000H~5FFFH番地に配置され(8kB), P-BASIC用の拡張コマンドが使用されたり、割込がかかるとセレクトされる。

セレクト方法はSLT2→Lで4000H~5FFFHメモリーリード時CS1およびA13がLとなりP-BASIC ROMがセレクトされる。

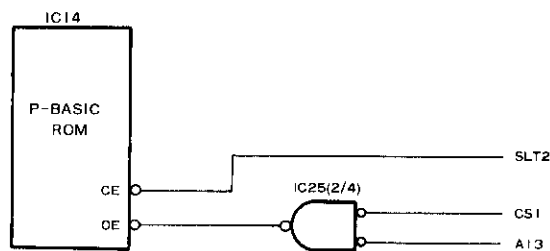


図11-7

11.3 RAM(ランダム アクセス メモリ)

メインRAMには16k×4ビットのD-RAM(ダイナミックRAM) MB 81416またはTMS 4416(IC 9, 10, 11, 12)が、4個使用され、32kBのエリアを構成する。RAMへのアド

レス指定はアドレスマルチプレクサ74LS157(IC 7, IC 8)により行なわれる。

RAMのアクセス信号は、MPSにより生成される。

全体のブロック図：

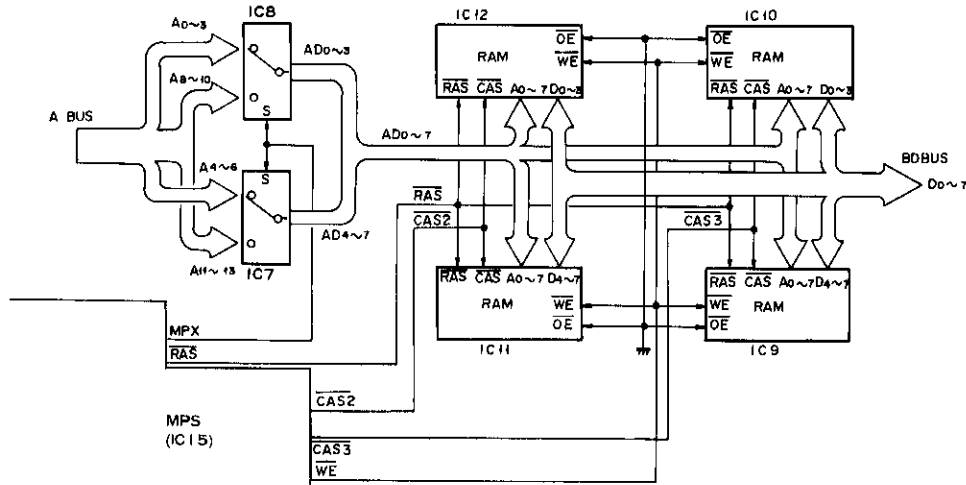


図11-8 メインRAM回路

11.3.1 RAMセレクト

①MAIN RAMは、スロット0の8000H~FFFFH番地に配置(32kB)され、RAMとしてD-RAM(ダイナミックRAM)が使用されている。D-RAMを使用するためリフレッシュが必要となり、またパッケージのピン数等の制約からアドレス指定は、2回に分けて行われる。このためコントロール信号としてRAS(ロウアドレスストローブ)、CAS(コラムアドレスストローブ)及びマルチプレクサへ

のMPXの各信号が必要となる。この信号はMPSにより生成される。

②MPXはアドレスをローアドレスと、コラムアドレスに切換てRAMに送るための切換信号である。

③RASはRAS=MREQとみて良い。

11.3.4 アドレスマルチプレクサ

16kB(2¹⁴)のアドレス指定をするには、A0～A13までの14ビットのアドレス線が必要となる。しかしD-RAMにはA0～A7までの8ビットしかアドレス入力端子を持っていない。そこでA0～A13をロウ(行)アドレス(A0～7)とコラム(列)アドレス(A8～A13)に分割して、2度に分けてアドレスを指定する。

- ①ロウアドレスとコラムアドレスの分割はマルチプレクサにより行ない、これをMPX信号にて制御する。
- ②D-RAM側ではRAS、およびCAS信号によりいずれのアドレスかを判別する。
- ③ロウアドレスに対してコラムアドレスはA8～A13の5ビットで良く2ビット少ないが、アドレスの分け方は表11-2の様に指定されている。

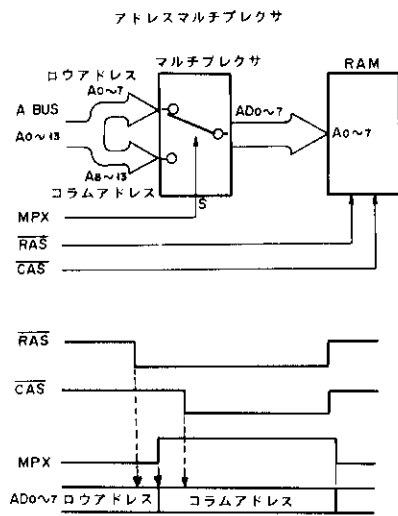


図11-9 拡張I/Oインターフェース

アドレスの分け方

| | | | | | | | | |
|-----|----|-----|-----|-----|-----|----|----|----|
| A D | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| ロウ | A7 | A6 | A5 | A4 | A3 | A2 | A1 | A0 |
| コラム | — | A13 | A12 | A11 | A10 | A9 | A8 | — |

表11-1 アドレスの分け方

11.4 I/O制御

11.4.1 I/Oアドレスデコード回路

CPUがメモリやI/OをアクセスするにはMREQ、またはIORQのどちらかがアクティブ(L)になっていることが必要である。プログラム中などでI/OがアクセスされるとIORQ=Lとなり、その命令がI/Oへの書き込みであればWR=L、また、I/Oの状態を読み込むのであれば、RD=LがCPUより出力される。M1サイクル以外のIORQ=Lの時すなわち割込アクノリッジサイクル以外のI/Oリクエスト時にIOE=HとすることでI/Oアドレスデコード回路がイネーブルとなる。

I/Oマップは以下の表の通りとなり、MPSにデコード回路が内蔵されている。

| | | | | |
|-----|---|---|----------------|-----------|
| 0 0 | | | | |
| | & H98 | W | V-RAMへのデータライト | 9928A |
| | | R | V-RAMからのデータリード | 相当品 |
| | & H99 | W | コマンド、アドレスセット | |
| | | R | ステータスリード | |
| 8 0 | ※RS-232C | | | |
| | & HA0 | W | アドレスラッチ | AY-3-8910 |
| | & HA1 | W | データライト | 相当品 |
| | & HA2 | R | データリード | |
| 9 0 | プリンタ | | | |
| | & HA8 | W | ポートAデータライト | 8255A |
| | | R | ポートAデータリード | 相当品 |
| | & HA9 | W | ポートBデータライト | |
| | | R | ポートBデータリード | |
| | & HAA | W | ポートCデータライト | |
| | | R | ポートCデータリード | |
| | & HAB | W | キードセット | |
| A 0 | VDP | | | |
| A 8 | PSG | | | |
| B 0 | PPI | | | |
| B 0 | & H90 | W | ストローブ出力 (b0) | ラッチ出力 |
| | | R | ステータス入力 (b1) | BUSYで'1' |
| | & H91 | W | プリントデータ | ラッチ出力 |
| C 0 | L: I/Oアドレス80番地からFF番地はシステム用として上記のように定めてあります。空欄はシステムリザーブです。 | | | |
| D 0 | ※FDC | | | |
| D 8 | ※漢字ROM | | | |
| E 0 | | | | |
| F F | | | | |

これらの表はすべてMPSに内蔵され、入出力線がすべてMPSに割り当てられている。

※印の入出力番地はオプション機器のために用意されていることを意味しMPS内部ではアコードしていません。

表11-2 I/Oアドレス割り当て

11.4.2 拡張I/Oインターフェイス

I/Oのアドレス割り当ては表11-2に示すようにMSXにより規定されており、その他のI/OをI/Oアドレスに割り当てることは許されない。そこでメモリーマップドI/O方式により適当なスロットのメモリーアドレス上に仮想的なI/Oレジスタを設け、このレジスタに他のI/Oを設置する。スロット2のメモリーアドレス7FFE(H)(LCONレジスタ)と7FFF(H)(VCONレジスタ)にメモリーマップドI/Oによる拡張I/Oを置きCPUとのやり取りを行なう。

拡張されたI/Oインターフェイスは、画面制御、音声制

御、システムコントロール制御を行なうためのものでありアクセス方法はA0～A15、SLTSL2、WR、RDにより行なわれ、以下の信号を生成する。

| | | | |
|--------------------|---------|------|---|
| \overline{LCONW} | 7FFE(H) | ライト時 | L |
| \overline{LCONR} | 7FFE(H) | リード時 | L |
| \overline{VCONW} | 7FFF(H) | ライト時 | L |
| \overline{VCONR} | 7FFF(H) | リード時 | L |

メモリーアドレス7FFE(H)および7FFF(H)のビット割当ては表11-3、11-4の通りである。

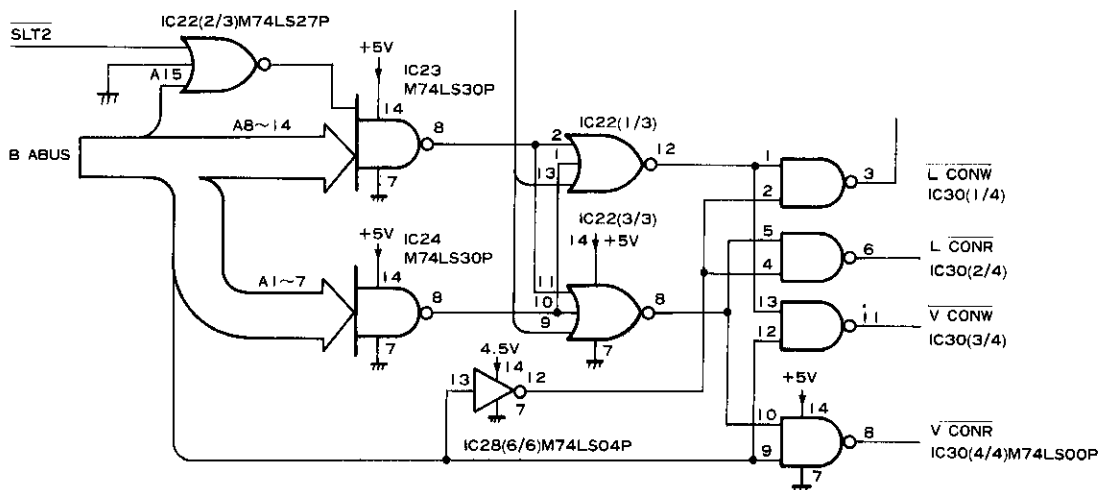


図11-9 アドレスマルチプレクサ

● 拡張I/Oレジスタ(スロット#2)

LCONレジスタ <7FFE(16)>

| ビット | R | W | 信号名 | 機能 |
|-----|---|---|--------|---------------------------------|
| 7 | R | | ACK | リモコン信号送出に対するアクノリッジ1=0で有無 |
| | | W | CLK1 2 | CLK1, 2の切替 0=CLK1, 1=CLK2 |
| 6 | | | | |
| 5 | | | | |
| 4 | | | | |
| 3 | | | | |
| 2 | | | | |
| 1 | | | | |
| 0 | R | | RMCLK | CLK1 CLK2の128分周クロック |
| | | W | REM | RMCLKに同期して生成するビットシリアルデータ出力1でH出力 |

表11-3 LCONレジスタマップ

VCONレジスタ <7FFF(16)>

| ビット | R | W | 信号名 | 機能 |
|-----|---|---|---------|--------------------------------------|
| 7 | R | | EXTV | 外部ビデオ信号の有無を示すステータス、有でL 無しでH |
| | | W | MUTE | ライン入力信号のミュート |
| 6 | | | | |
| 5 | | | | |
| 4 | | | | |
| 3 | | | | |
| 2 | | | | |
| 1 | | | | |
| 0 | R | | INTEXV | 外部ビデオ信号off時の割込みフラグ1で割込有、Readすると0になる。 |
| | | W | OVERLAY | 合成、非合成モードのハードウェア切替信号、合成時0、非合成時1 |

表11-4 VCONレジスタマップ

(1)画面制御回路

●EXTVの読み取り

- ①EXTVは外部ビデオ信号有無を示すステータス信号で外部ビデオ有りてLとなる。
- ②EXTVは、VCONレジスタ、リード時にD7を介して、CPUが読み取れる。
- ③例、LD A, (7FFFH)にてAレジスタにVCONレジスタの内容が入り、D7が、EXTVの状態を示す。

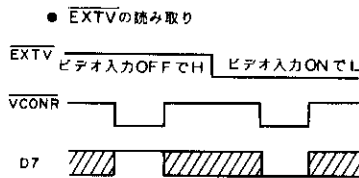


図11-10 EXTVの読み取りタイミング

●VOVLYの生成

- ①VOVLYはコンピュータモードと、スーパーインポーズ或は外部ビデオモードの切換を行うための制御信号であり、外部ビデオ信号が入力されており(EXTVがL)かつ、VCONレジスタビット0にLを書き込んだ場合にのみLとなる。
- ②RST→I.時には、図11-13のE点をHとし、VOVLY→Hとする。
- ③VCONWの立上りでD0の状態(LまたはH)をラッチし、Q出力(E)と、EXTVとのORを取りVOVLY信号としている。

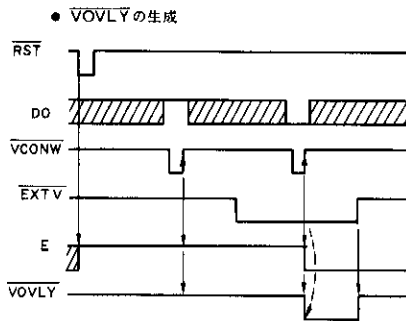


図11-11 VOVLYの生成タイミング

●INTEXVの生成

- ①INTEXVおよびINTEXVはスーパーインポーズモードで、外部ビデオ信号が無くなったときに発生する信号であり、INTEXVはCPUへの割込信号、INTEXVはそのステータス信号である。
- ②RST時には、A点H、B点LのためC点はHとなり、またD点はHとなるためINTEXVはHとなる。また、VCONレジスタリード時ビット0よりINTEXV=0が得られる。
- ③EXTVがLからHに変化すると(外部ビデオ信号入力が無くなると)次のφ立上りから、さらに次のφ立上りまでの間、C点はLとなるためD点L、D点はHとなる。
- ④ここでE点がL(スーパーインポーズ、或は外部ビデオモード指定時)であればINTEXVはLとなり、CPUに割込がかかる。
- ⑤割込処理ルーチンにて、VCONレジスタリード時ビット0よりINTEXV=1が得られ、INTEXVからの割込であることが分かる。リード完了時VCONRの立上りでD点はH、D点はLとなるため、INTEXVはHとなり、割込が解除される。

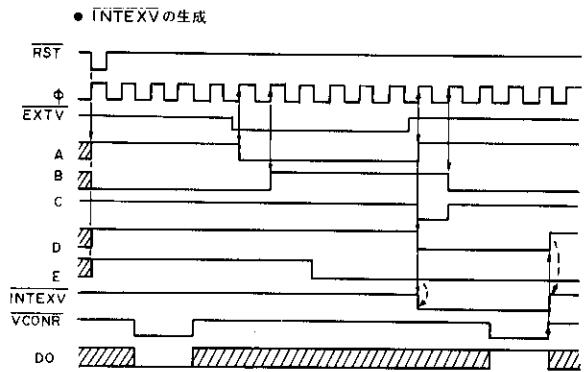


図11-12 INTEXVの生成タイミング

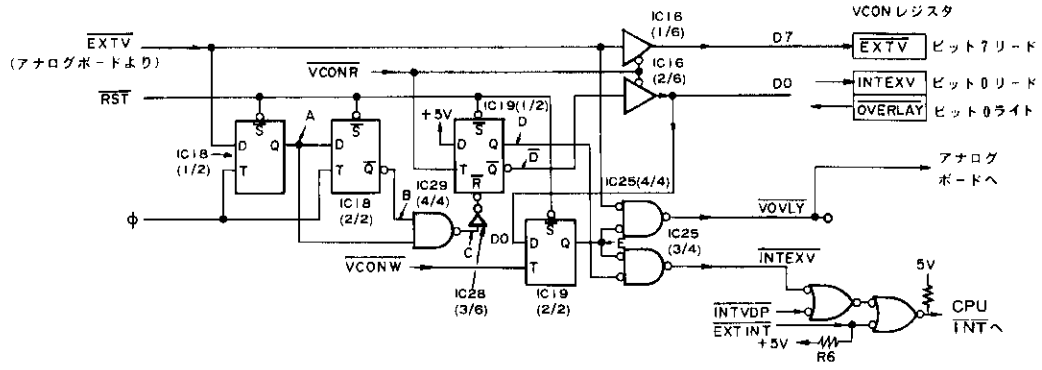


図11-13 画面制御回路

(2) 音声制御回路

外部ステレオオーディオ入力に対するミュートINGのON/OFFを行なう。

VCONレジスタビット7ライトおよびPPIのPCポートビット4(PC4)出力により、L、RチャンネルのミュートING信号(LMUTE、RMUTE)を生成する。

LチャンネルミュートING制御時RMUTEの立上りを利用してPC4をラッチするためRMUTEのL→H操作が必要となる。

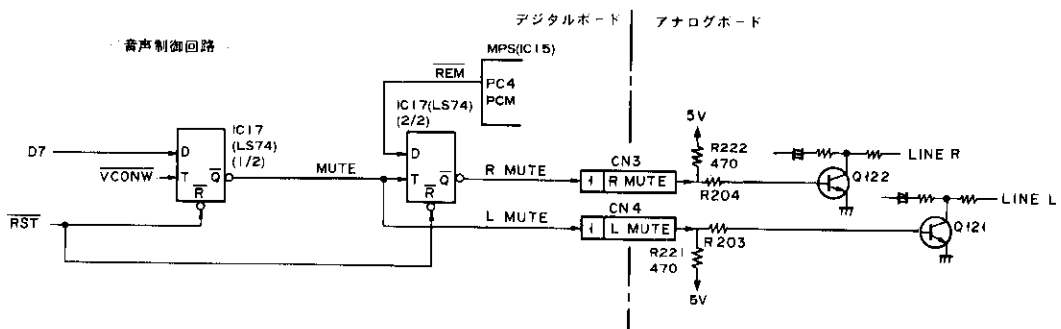
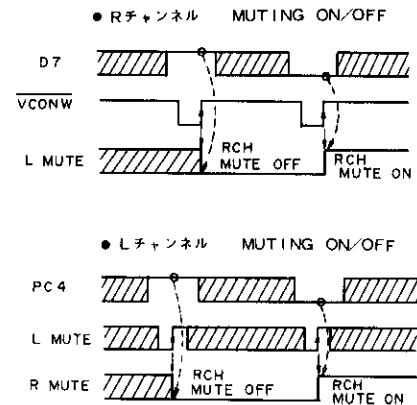
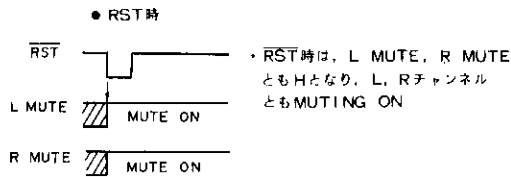


図11-14 音声制御回路とタイミング

(3)システムコントロール回路

(3-1) 基準クロック生成回路

基準クロック生成回路は統一リモコン (SEED, LD-7000 等) のリモコンコードパルスをソフトウェア生成するためのタイミングパルスを生成する。

CLKはIC26(1/6~1/6)セラミック振動子X1等からなる発振器により500kHzパルスとして発振、生成される。

このように生成されたクロック(REM CLK)はさらに1/24分周された波形e(図11-15)となり、LCONRレジスタのビット0を介してCPUにて読まれる。

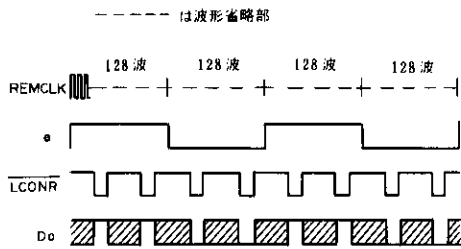


図11-15 基準クロックと各部のタイミング

(3-2) リモコンパルス生成回路

①基準クロック生成回路で生成されるタイミングパルスに基づき、LCONレジスタビット0にリモコンコードをライトする(ソフトウェアで)。

②このラッチ出力がUREMOであり、有線リモコンの原信号となる。

③EXTREMOは汎用有線リモコン出力。

④LREMO は LD-7000 系への有線リモコン信号出力。

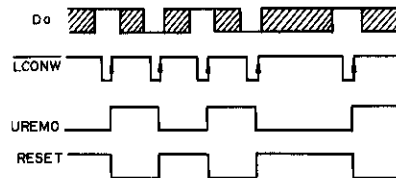


図11-16 リモコンパルスの生成と各部のタイミング

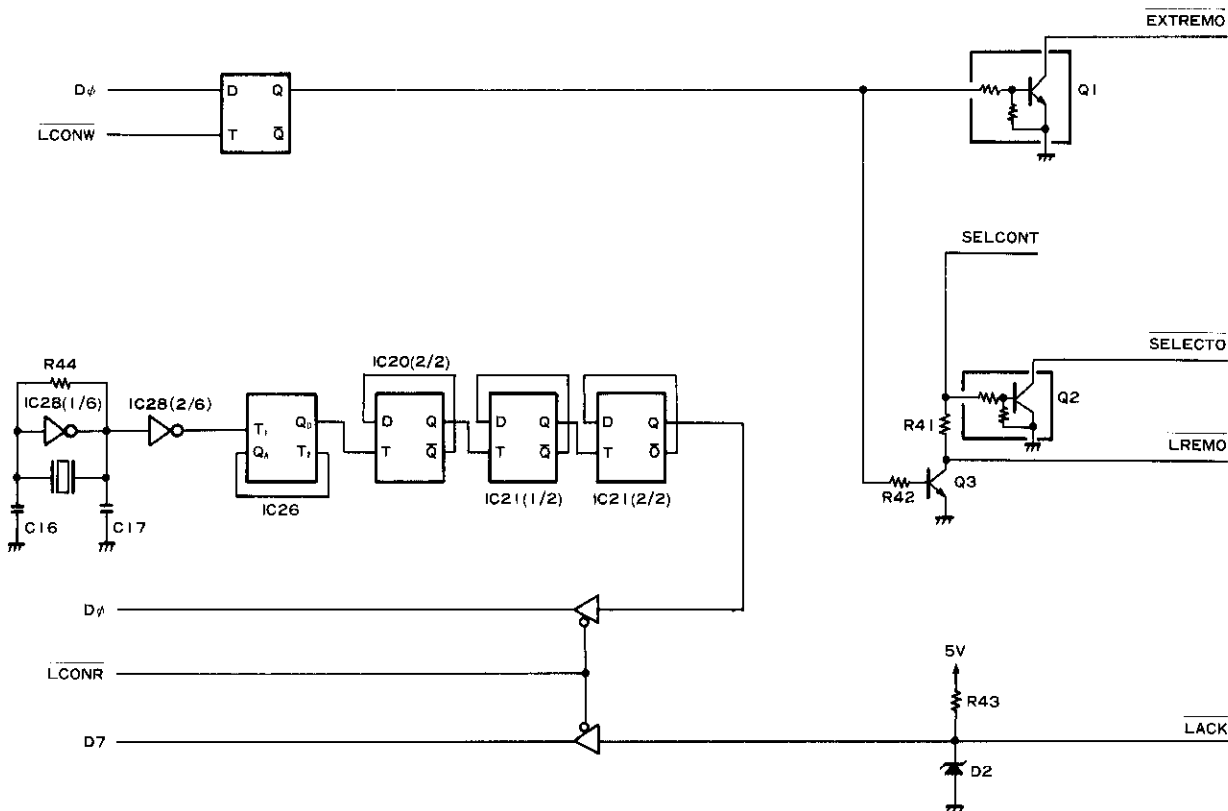


図11-17

選択動作:

①SELCONTが+5Vの時 Q2 ON→SELECTOはL

●UREMOがL→Q3 OFF→LREMOはH

●UREMOがH→Q3 ON→LREMOはL

②SELCONTが0Vの時Q2 OFF→SELECTOはハイインピーダンス

●UREMOはリモコン非送信時レベル→Q2OFF, Q3OFF
→SELECTOはハイインピーダンス

(SELCONT)はスルースイッチに連動した電源である。

(3-3) その他

①LD 7000系からのリモコンに対する、アクリッジ信号(LACK)のL/HレベルはLCONレジスタビット7を介して、CPUが読み取れる。(図11-18)

②SELECTOはLD 7000系へのコントロール出力で

- ┌I→LD-7000系の有線リモコンが有効
- └H→LD-7000系の赤外線リモコンが有効

③したがってLREMOを有効にするためにはSELECTOをLとする。(図11-19)

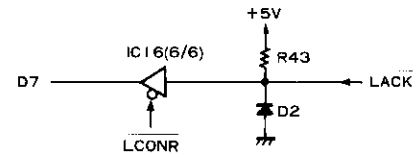


図11-18 アクリッジ読み取り回路

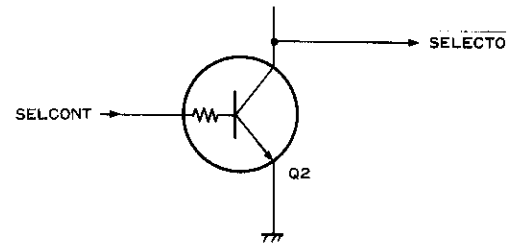


図11-19 セレクト回路

11.5 VDP(ビデオ ディスプレイ プロセッサ)

VDP (TMS9128) のアクセスはVDP=Lにて行なわれ、データ転送はCSW, CSR, MODEによりコントロールされる。

CSW : CPU→VDPへデータ・ライト時Lとなるライト信号

CSR : VDP←CPUからデータ・リード時Lとなるリード信号

MODE : CPU→V-RAMのリード, ライト時Lとなり、それ以外はHとなる。

| MODE (A0) | CSR | CSW | 状態 |
|-----------|-----|-----|-------------------------------------|
| L | H | L | CPUからV-RAMへの直接書き込み (CSWの立上りでデータセット) |
| L | L | H | CPU→V-RAMのデータを直接読み込む |
| H | H | L | CPUからVDPへの書き込み |
| H | L | H | CPU→VDPのデータを読み込む |

表11-5

通常MODEにはCPUのアドレスA0が接続され、VDPをアクセスする時のA0の値により、VDPとV-RAMを区別してアクセスしている。

RESET/SYNC入力は①RSTがLの時0V, ②RSTがHでSYNCがLの時5V, (+12VがR12, R13で分圧される), ③RST, SYNC共にHの時12Vとなる。

| RST | SYNC | RESET/SYNC | 動作 |
|-----|------|------------|----------------------------------|
| L | X | 0V | リセット時 (電源ON時または、リセットスイッチON時) |
| H | L | 5V | 通常動作時 |
| H | H | 12V | スーパーインポーズモード時における、外部同期用SYNC信号入力時 |

表11-6

- ① RESET/SYNCの立上りを水平同期パルスとしてとらえ、水平同期状態にあるVDP内部カウンタがリセットされる。
- ② 同期パルスで7.2μs以上のものを垂直同期パルスとしてとらえ、内部垂直カウンタを、垂直同期状態にセットする。
- ③ INT出力 (VDPの割込信号) は、表示画面の走査終了時、すなわち、VSYNCに同期して1/60秒毎にLレベルのパルスを発生する。INT出力は、INTVDPとして、CPUの割込端子に接続され、1/60秒のタイマー割込として用いられている。

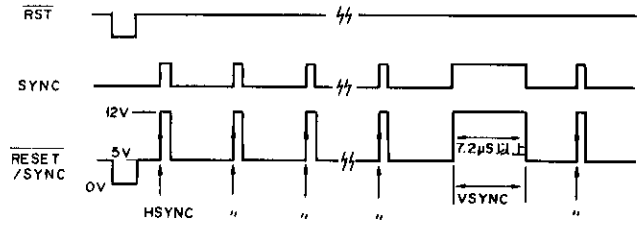


図11-20 RESET/SYNC入力波形

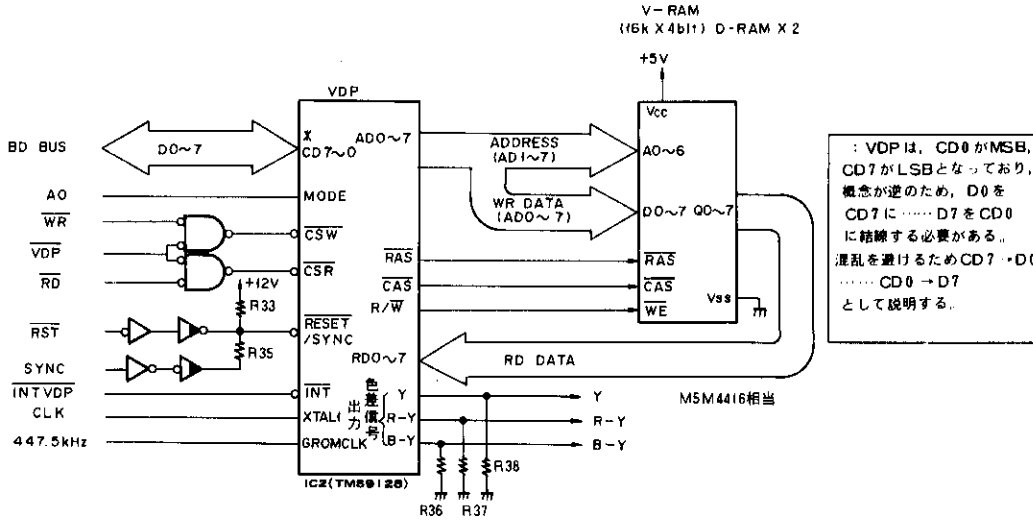


図11-21 VDP回路

●V-RAMのアクセス

- ① V-RAMとしては、16k x 4ビットのDRAMを2個使用して16kBのメモリーを構成している。(VDPの指定による)
- ② DRAMは+5V、単電源で動作する。
- ③ VDPのAD0~7出力は、V-RAMへのコラムアドレス、ローアドレス、ライトデータをタイムシフトして出力する。(バスを兼用する)
- ④ これらのタイミングを取るためにRAS、CASが用いられる。
- ⑤ V-RAMのリードライトデータは、VDPのRD0~7に入出力される。

●V-RAMライトサイクル

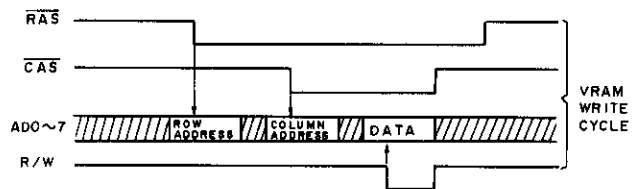


図11-22 V-RAMのライトタイミング

●V-RAMリードサイクル

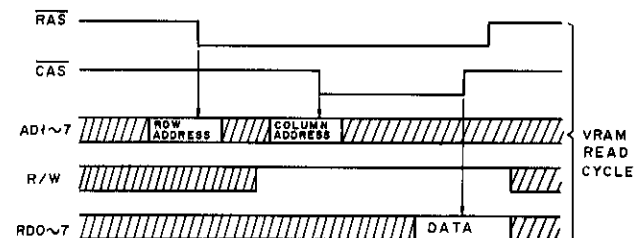


図11-23 V-RAMのリード、タイミング

11.6 PPI(プログラマブル ペリフェラル インターフェイス)機能

PPIは8ビットの入出力ポートを3個(PA, PB, PC)備えたパラレルインターフェイスICであり、これと同等の機能がMPSに内蔵されている。各ポートの役割は以下のようになっている。

PAポート：スロット選択信号作成用

PBポート：キーボードからのキー入力読み取り用

PCポート

下位4ビットPC0~PC3：キースキャン信号発生用

上位4ビット PC 6 : CAPSランプ点灯用

PC 4 : カセットI/Fリモートリレー
コントロール用

PC 5 : カセットデータ書き込み用

PC 7 : キークリック音源用

PPIの各ポートの選択は、MPS内部で生成される、PPI=LでCS=Lの時のA0, A1, WR, RDの状態により、表1-7に示すように選ばれる。

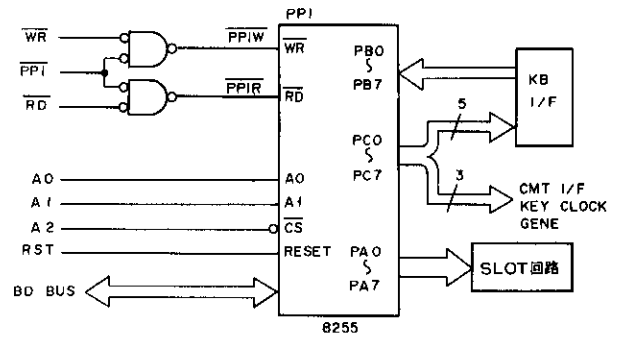


図11-24 PPI等価回路(MPSに内蔵されている)

| I/Oアドレス | A2(CS) | A1 | A0 | PPIW | PPIR | 動作 | |
|---------|--------|----|----|------|------|-------------|---|
| AB | 0 | 0 | 0 | 0 | 1 | BD BUS ← PA | R |
| | 0 | 0 | 0 | 1 | 0 | PA → BD BUS | W |
| AB | 0 | 0 | 1 | 0 | 1 | KB → PB | R |
| | 0 | 0 | 1 | 1 | 0 | PB → KB | W |
| AA | 0 | 1 | 0 | 0 | 1 | PC ← KEY | R |
| | 0 | 1 | 0 | 1 | 0 | KEY → PC | W |
| AB | 0 | 1 | 1 | 0 | 1 | 禁止 | R |
| | 0 | 1 | 1 | 1 | 0 | モードセット | W |
| | X | X | X | 1 | 1 | | |
| | 1 | X | X | X | X | | |

・表中の"0"は"Lレベル,"1"はHレベルを表す。

表11-7

●PPIビット割り当て

| ポート | ビット | I/O | 信号名 | 内容 |
|--------|-------|--------------|-------|------------------------|
| A (PA) | 0 | 出力 | CS0L | 0000H-3FFFH番地のスロット指定信号 |
| | 1 | | CS0H | |
| | 2 | | CS1L | |
| | 3 | | CS1H | |
| | 4 | | CS2L | |
| | 5 | | CS2H | |
| | 6 | | CS3L | |
| 7 | CS3H | | | |
| B (PB) | 0 | 入力 | | キーボードリターン信号 |
| | 7 | | | |
| C (PC) | 0 | 出力 | KB0 | キーボードスキャン信号 |
| | 1 | | KB1 | |
| | 2 | | KB2 | |
| | 3 | | KB3 | |
| | 4 | | CAS0N | カセットコントロール(LでON) |
| | 5 | | CASW | カセット書き込み信号 |
| | 6 | | CAPS | CAPSランプ信号(Lで点灯) |
| 7 | SOUND | ソフトによるサウンド出力 | | |

⇒ MPSから出力される信号はデコードされて出力されている。

表11-8

11.6.1 スロットセレクト回路(MPSに内蔵)

スロットセレクト回路はPPIのPAポートPA0~PA7の値により、64Kバイトのメモリ空間を16Kバイト毎に4分割し、それぞれスロット0~3に割り当てるための回路である。

システムリセット時にはPPIのポートは全て入力ポートとなりハイインピーダンスとなるためSLTE信号をHとし自動的にスロット0が選択される様に考慮されている(MSX-BASICを起動させるため、表11-9*参照)。H、PPIがアクセスされるとSLTEはLとなりPAポートのデータによりスロット選択が可能となる。

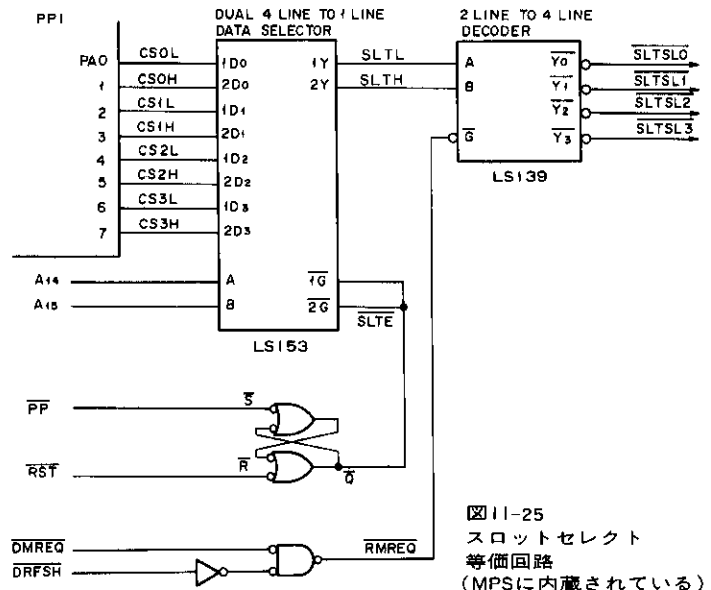


図11-25
スロットセレクト
等価回路
(MPSに内蔵されている)

| メモリ アドレス | A15 | A14 | SLTE | SLTB | SLTA | CSnH | CSnL | RMREQ | SLTSL | | | | |
|--------------------|-----|-----|------|------|------|------|------|-------|-------|---|---|---|---|
| | | | | | | | | | 0 | 1 | 2 | 3 | |
| 0000 \$ 3FFF | 0 | 0 | 0 | CS0H | CS0L | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 4000 \$ 7FFF | 0 | 1 | 0 | CS1H | CS1L | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 8000 \$ BFFF | 1 | 0 | 0 | CS2H | CS2L | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| C000 \$ FFFF | 1 | 1 | 0 | CS3H | CS3L | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 1 |
| X | X | X | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| X | X | X | X | X | X | X | X | 1 | 1 | 1 | 1 | 1 | 1 |

*表中の"0"は"L"レベルを、"1"は"H"レベルを表わす。

表11-9

●スロットの選択

PAポートによるスロット選択は次のようにして行なわれる。PA0~PA7のCSnH、とCSnL信号(n=0~3)は、16kバイト毎のアドレス指定とそのアドレスがどのスロット(0~3)なのかを指定する機能を持っている。ここでCSnH/LをCSnとSLT H/Lの要素に分けて考えると次のようになる。

- ①CSn(n=0~3)は16kB毎のアドレス指定
- ②SLTH, Lは2ビットのバイナリーによるスロット0~3の指定

となる。すなわち、CSnH/Lは、スロット0~3×64kBのメモリーマトリクスのうちどの16kBを使って64kB×1のメモリーを構成し、CPUが扱えるようにするかを決定する信号である。

(例) 図11-29の斜線部(a, f, k, p)の4つの16kBメモリーエリアを使用して64kBのメモリーエリアを構成したい場合、

CS0 and SLTH→0 and SLTL→0
 CS1 and SLTH→0 and SLTL→1
 CS2 and SLTH→1 and SLTL→0
 CS3 and SLTH→1 and SLTL→1

の条件となる。

すなわち、

PA0=CS0L→0
 PA1=CS0H→0
 PA2=CS1L→1
 PA3=CS1H→0
 PA4=CS2L→0
 PA5=CS2H→1
 PA6=CS3L→1
 PA7=CS3H→1

PA0~7に11100100=E4(H)をセットすれば図11-26のメモリーエリアをCPUが連続した64kBメモリーとして扱えるようになるわけである。

なお、この方法によれば、異スロットの同一アドレスのメモリーを同時にアクセスして、バスの衝突をまねく危険性はなくなる。

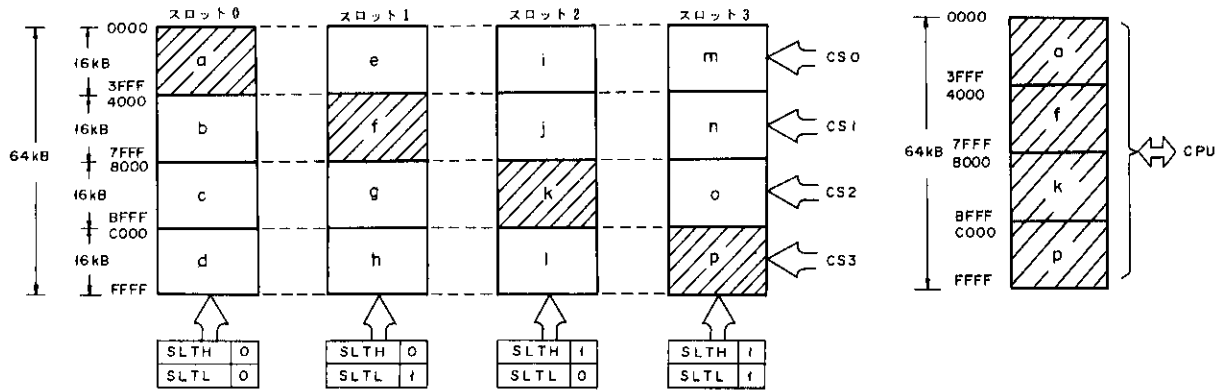


図11-26 スロットの選択

11.6.3 カセットインターフェイス部

●入力回路

MPS, 3番ピンのCASON=H出力時は、Q1がOFFとなっており、リレー(RY1)はブレーク状態になっている。このときREM+/-はオープンであり、カセットレコーダのモーターは停止している。

IC34(1/2)によるシュミットアンプの入力にはIC34(2/2)の出力がR62, R63, D4, D5, C25, C24による過入力防止用クランプ回路を介して接続されており、LD DATAがIC34(2/2)へ入力されている。IC34(2/2)によるALCアンプはLD DATAをCMT IN信号と同等レベルにするための増幅回路である。また、IC34(1/2)はR54, R53により正帰還がかけられシュミットアンプを構成している。

MPS, 3番ピンのCASON=L出力時には、Q1がONとなり、リレーはマーク状態となって、REM+/-はショート、よってモーターはONとなり、IC34(1/2)へはCMT INよりの入力が増えられる。

●出力回路

MPS, 2番ピンCASWの出力をC23, C22, R47~R49で構成される、バンドパスフィルターを介して、疑似オーディオ信号化して、CMT OUTへ出力している。

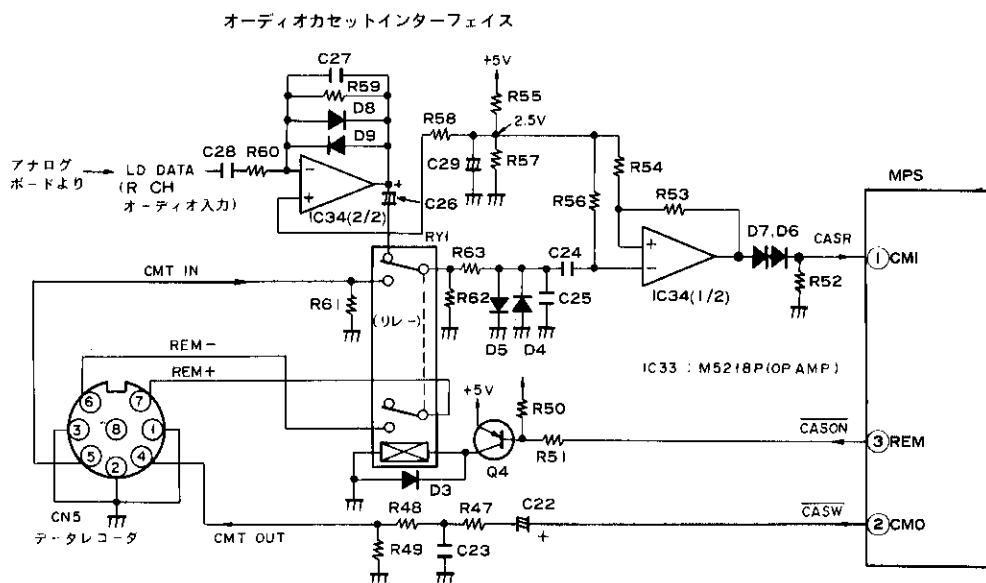


図11-27 カセットインターフェイス回路

1.6.2 キーボードI/F

キーボードI/Fは、MPS内部のPPI機能のPB、PCポートの線をコネクタに接続している。

11.7 PSG(プログラマブル サウンド ジェネレータ)機能

PSGは、ヤマハのYM-2149相当がMPSに内蔵されている。このLSIはGI社のAY-3-8910の上位コンパチのPSGであり、クロックの分周器(1/8)を内蔵しているため、システムクロックφを直接入力することができる。PSGには3つの独立したチャンネル出力A、B、Cがある。更に、このLSIにはサウンドジェネレータ機能の他に2組の8ビットパラレルI/Oポート(IOA、IOB)を内蔵しており、ジョイスティック、タブレットなどを接続するためのコントローラI/Fを構成している。

PSGのアクセス方法はBC2、A8→H、 $\overline{A9}$ →L時にBDIR、およびBC1で行い、($\overline{A9}$ にA2を入力し、アドレスイメージを防止している)、BDIR、BC1はI/OアドレスA0(H)ライトで各々Hとなり、PSGはレジスタアドレスをラッチする。また、A1(H)ライトではBDIRがH、BC1はLのままとなりデータライト、A2(H)リードではBDIRはLのまま、BC1がHとなりデータリードとなる。そのタイミングは図11-29に示す通りである。

- アクセス方法は、BC2、A8→H、 $\overline{A9}$ →L時にBDIR及びBC1で行う。
* $\overline{A9}$ にA2を入力してイメージを防止している。

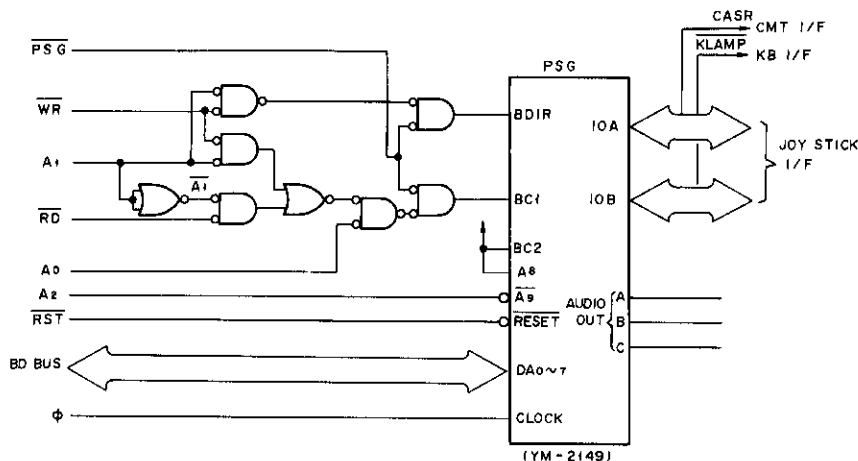
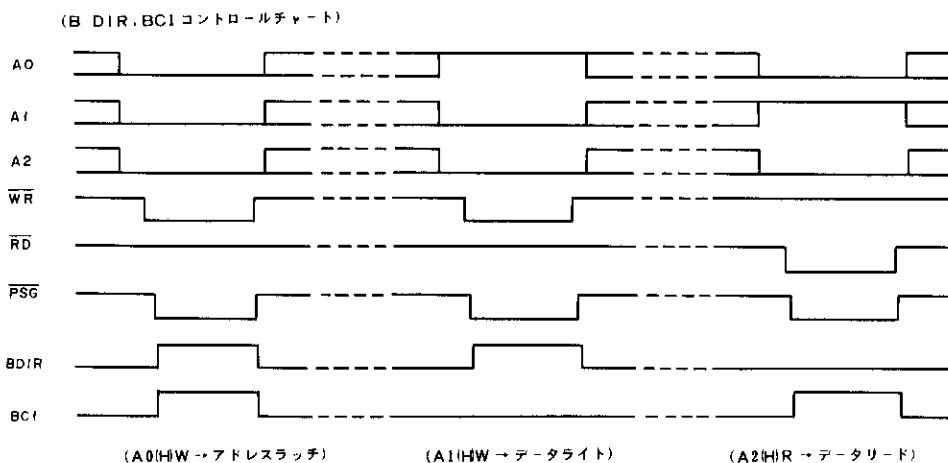


図11-28 PSG等価回路



上記以外では、BDIR、BC1は常にLのまま。

図11-29 PSG BDIR, BC1コントロールチャート

11.7.1 ジョイスティックI/F

コントローラ1, 2は、入力4bit, 入/出力2bit, 出力1bit, 5V, GNDが、各コネクタに備えられた汎用入出力ポートであり、ジョイスティックやタブレット等の接続ができる。コントローラ1, 2のポートは、PSGのIOA, IOBを利用して構成されており、次のように使用されている。

①IOAは、入力専用として用いられ、CNA, CNBの1~4番端子はデータセクタIC 74LS157を介して、IOA0~IOA3端子へ接続されている。同様にCNA, CNBの6,7番端子はデータセクタIC 74LS157を介してIOA4, IOA5端子へ接続されている。またIOA7端子はCMTのシリアル入力ポートとして使用されている。IOA6はキーボードのカナキーの配列を選択するために使用され、Lとすればあいうえお順、HとすればJIS配列がソフトウェア選択される。本機ではHレベルとし、JIS配列を採用している。

②IOBは出力専用ポートとして使用され、IOB0~IOB3端子はそれぞれバッファ74LS04と74LS05を通してIOB0, IOB1はCNAの6,7番端子へ、また、IOB2, IOB3はCNBの6,7番端子へオープンコレクタで接続されている。IOB6はコントローラ1 ↔ コントローラ2の切換を行なうためのセレクト信号として使用する（L：コントローラ1, H：コントローラ2）IOB4, IOB5はそれぞれコントローラ1, 2の8番端子に接続される。IOB7はキーボードのカナインジケータの点滅制御用で、Lで点灯する。

③ジョイスティック使用時には、

PIN①~④……前後左右キー入力

PIN⑥, ⑦……トリガボタン入力

PIN⑧……スキャンバルス出力

として使用する。

| ポート | ビット | I/O | 接続コネクタ・ピン番号 | ジョイスティック使用時の信号 |
|------------|-----|-----------------------|-------------|----------------|
| A | 0 | 入 | CNA-1ピン *1 | FWD1 |
| | | | CNB-1ピン *2 | FWD2 |
| | 1 | 入 | CNA-2ピン *1 | BACK1 |
| | | | CNB-2ピン *2 | BACK2 |
| | 2 | 入 | CNA-3ピン *1 | LEFT1 |
| | | | CNB-3ピン *2 | LEFT2 |
| | 3 | 入 | CNA-4ピン *1 | RIGHT1 |
| CNB-4ピン *2 | | | RIGHT2 | |
| 4 | カ | CNA-6ピン *1 | TRGA1 | |
| | | CNB-6ピン *2 | TRGA2 | |
| 5 | カ | CNA-7ピン *1 | TRGB1 | |
| | | CNB-7ピン *2 | TRGB2 | |
| 6 | | キー配列指定入力 *4 | "H"/"L"レベル | |
| 7 | | CSAR (カセットテープのリード) | | |
| B | 1 | 出 | CNA-6ピン *3 | "H"レベル |
| | | | CNA-7ピン *3 | |
| | | | CNB-6ピン *3 | |
| | 2 | 出 | CNB-7ピン *3 | |
| | | | CNA-8ピン | |
| | 3 | 出 | CNB-8ピン | |
| | | | ポートA入力セレクト | |
| 4 | カ | KLAMP (カナランプ信号"L"で点燈) | | |
| 5 | カ | | | |
| 6 | | | | |
| 7 | | | | |

- *1 ポートBのビット6が"L"レベル時有効、ジョイスティック1用
- *2 ポートBのビット6が"H"レベル時有効、ジョイスティック2用
- *3 出力ポートとして使用しない時は"H"レベルにすること
オープンコレクタ・バッファを介して出力する
- *4 JIS配列・"H"レベル、あいうえお配列→"L"レベル

表11-10

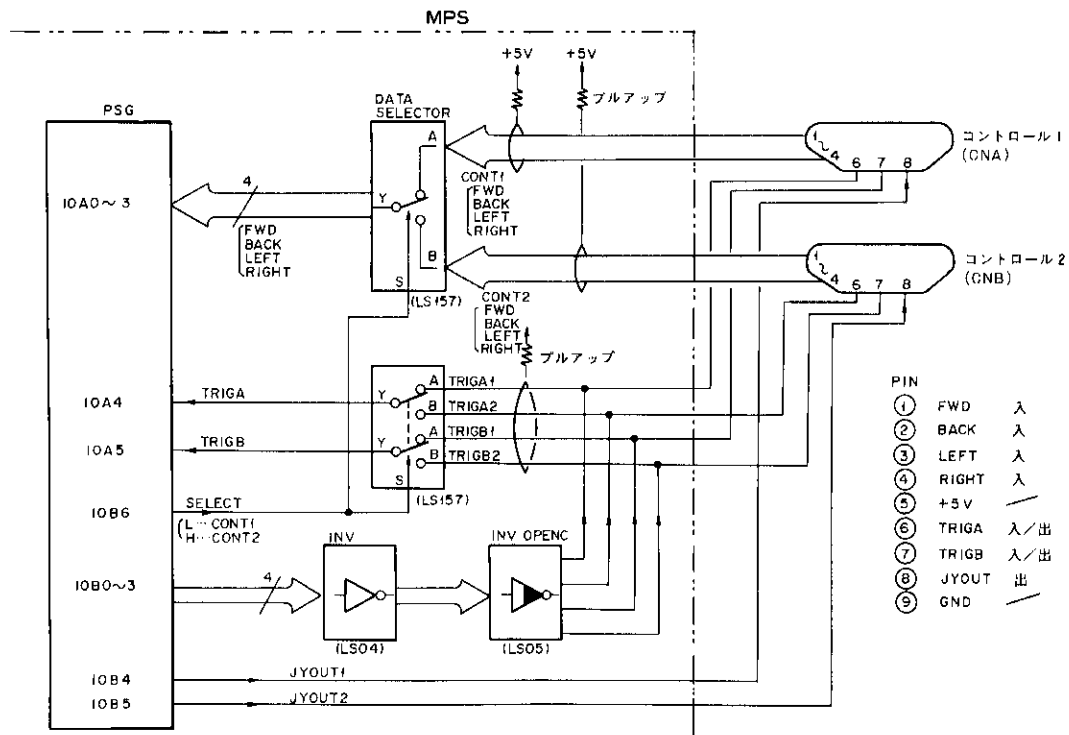


図11-30 ジョイスティックインターフェイス等価回路

11.8 プリンタI/F

プリンタI/Fは、MPSに内蔵されている。

プリンタへは8ビットラッチ74LS374相当を通してデータバスのラッチデータがコネクタの2～9番端子を介してパラレル出力される。ストローブ信号は1番端子へ出力される。プリンタ側よりのBUSY信号は11番端子よりMPSに入力され、MPS内部では3ステートバッファを介してデータバスのD1を通してCPUへ取り込まれる。

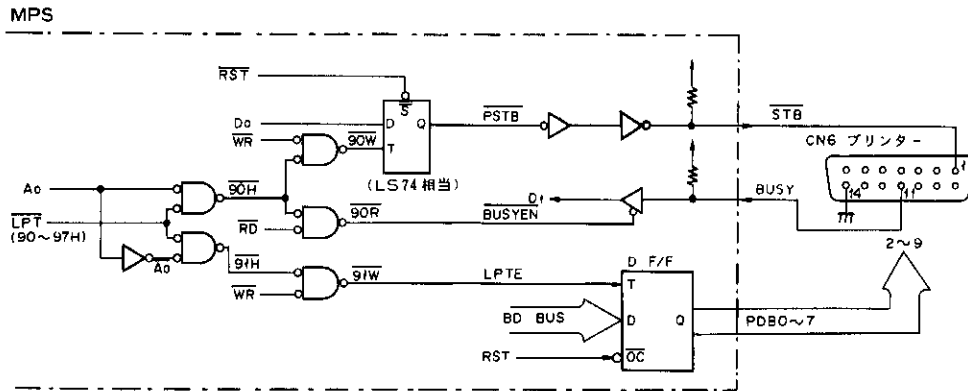


図11-31 プリンタI/F回路

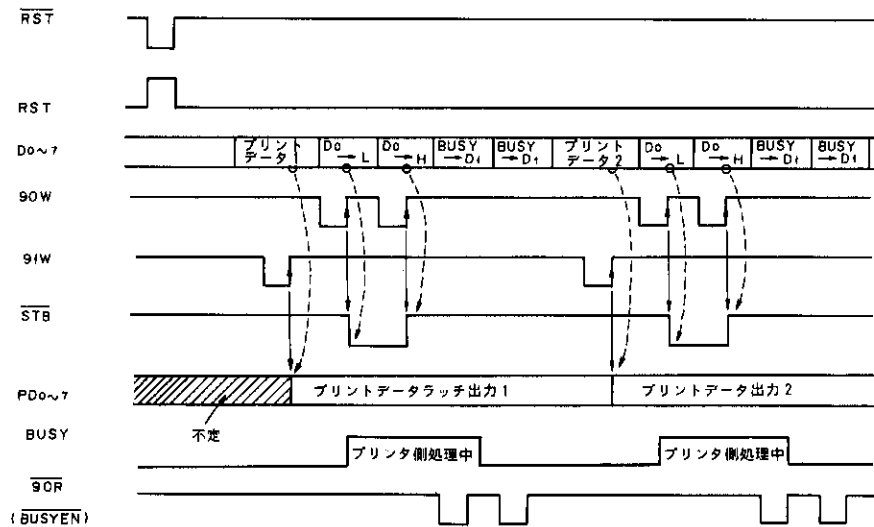


図11-32 プリンタI/Fタイミングチャート